

Закон Мура в дорожній карті ITRS-2015 – що далі?

Метою напівпровідникової промисловості, в цілому, є можливість продовжувати масштабувати технологію. Продуктивність компонентів і фінального варіанту чіпа можна виміряти багатьма різними способами; вища швидкість, більша щільність, менша потужність, більша функціональність і т. д. Традиційно розмірне масштабування було достатнім для досягнення вищезазначених переваг продуктивності, але це вже не так. Модулі обробки, інструментів, властивостей матеріалів і т. д. представляє складні проблеми для продовження масштабування. Ми виявили ці складні завдання та підсумовували в таблиці. Ці проблеми поділяються на короткострокові 2015-2022 та довгострокові 2023-2030.

Короткострокові 2015-2022	Загальні проблеми
Масштабування Si CMOS	Масштабування повністю вичерпаних структур SOI і багатоадресних (MG) Впровадження структур з затвором (нанопроволка) Управління опором серії витоку / стоку в допустимих межах Подальше масштабування EOT з більш високими K матеріалами ($K > 30$) Налагодження та управління пороговою напругою з металевим затвором і високим K стеком Викликаючи адекватні напруження в передових конструкціях
Впровадження матеріалів CMOS з високою рухливістю	Основні проблеми подібні до Si пристроїв, перерахованих вище Діелектрики High-K gate і контроль стану інтерфейсу (Dit) CMOS (n- і p-канальні) рішення з інтеграцією монокристаличних матеріалів Епітаксія матеріалів, у яких немумісні ґратки, на Si підкладці Process complexity and compatibility with significant thermal budget limitations
Масштабування DRAM і SRAM	DRAM- Адекватна ємність для зберігання з обмеженим розміром об'єкта; впровадження High-K діелектриків Низький рівень витоку в транзисторі доступу та конденсаторі зберігання; впровадження затвору запірною / і плаваючого

	<p>типу FET</p> <p>Низький опір бітових та слово-ліній для забезпечення бажаної швидкості</p> <p>Покращення щільності біт і зниження витрат виробництва при русі до розміру комірки $4F^2$</p> <p>SRAM-</p> <p>Підтримка адекватного запасу рівня шумів, нестабільності керування та рівня м'яких помилок</p> <p>Складні процеси літографії та травлення</p>
Масштабування великої щільності енергонезалежної пам'яті	<p>Витривалість, запас шуму та вимоги до надійності</p> <p>Багаторівневність у вузлах <20 нм та 4-бітний / комірковий MLC</p> <p>Не масштабованість тунельного та інтерполяційного діелектриків у флеш-пам'яті</p> <p>Труднощі підтримання високого коефіцієнта запирання затвору для плаваючого затвору.</p> <p>Обмеження напруги пробою електронного сховища</p> <p>Вартість багатостошарової літографії</p> <p>Ефективне використання 3-D NAND пам'яті</p> <p>Вирішити затримки пам'яті в системах</p>
Надійність через матеріальні, технологічні та структурні зміни та нові пристрої.	<p>TDDDB, NBTI, PBTI, HCI, RTN в масштабованих та непланарних пристроях</p> <p>Ворота для контакта</p> <p>Повышение статистической изменчивости механизмов внутренних сбоев в масштабированных и непланарных устройствах</p> <p>Проблемы надежности сетевого соединения •</p> <p>Снижение требований к запасу надежности требует улучшения понимания надежности на уровне схемы</p> <p>Надежность встроенной электроники в экстремальных или критических средах (медицинская, автомобильная, сетевая ...)</p>
Довгострокові 2023-2030	Загальні проблеми
Впровадження передових багатоадресних структур	<p>Контроль короткоканальних ефектів</p> <p>Технологія стоку/витоку для контролю перезитного опору структури</p>

	Підвищена термічна швидкість і квазібалістичний транспорт
Ідентифікація та впровадження нових структур пам'яті	Масштабування накопичувального конденсатора для DRAM Рішення для заміни DRAM і SRAM Економічна установка 3-D NAND з високою щільністю (512 Gb - 4 Tb) з великою кількістю шарів або щільним кроком комірок <ul style="list-style-type: none"> Впровадження недорогого типу зберігання NVM Низька вартість, висока щільність, мала потужність, пам'ять зі швидкою затримкою для великих систем
Надійність нових пристроїв, конструкцій та матеріалів.	Зрозуміти і контролювати механізми відмови, пов'язаними з новими матеріалами і структурами як для транзистора, так і для з'єднання Перехід на перспективу надійності системного рівня з ненадійними пристроями Мюон-індукована м'яка частота помилок
масштабування потужності	Масштабування V_{dd} при подачі достатнього струму Управління підпороговим струмом або / і підпороговим нахилом Проблеми порогу для низької V_{dd}
Інтеграція для функціональної диверсифікації	Інтеграція багатфункціональності на платформу Si CMOS 3-D інтеграція

Короткострокові 2015-2022 проблеми

Масштабування Si CMOS

Внедрение полностью истощенных СОИ и многозадачных устройств с ограниченным полевым потенциалом будет сложным. Поскольку такие устройства обычно имеют слегка легированные каналы, пороговое напряжение не будет контролироваться канальным легированием. Среди наиболее критических будет контроль толщины и ее изменения для этих ультратонких тел и создание экономически эффективного метода для надежной установки порогового напряжения. Испытательная установка и управление пороговым напряжением с металлическими затворами / высоковольтными затворами оказались сложными, особенно для низкопороговых напряжений, поскольку V_{dd} продолжает снижаться. Эта

проблема будет иметь решающее значение в полностью исчерпанных каналах, таких как multi-gate и FDSOI, где эффективная рабочая функция должна находиться в запрещенной зоне (хотя при разных значениях для p-MOSFET и n-MOSFET) и где рабочая функция особенно важно установить пороговое напряжение из-за отсутствия допинга канала в качестве переменной. Кроме того, поскольку иногда требуется несколько пороговых напряжений, очень удобна возможность экономически эффективно настраивать рабочую функцию по запрещенной зоне.

Кроме того, для конструкций с несколькими затворами шероховатость поверхности канала может создавать проблемы при транспортировке и надежности несущей. Эти проблемы будут более серьезными в структурах нанопроволок.

Значительные проблемы могут быть связаны с сопротивлением серии истоков / дренажа в допустимых пределах. Из-за увеличения плотности тока спрос на низкое сопротивление с меньшими размерами одновременно представляет собой большую проблему. Эта проблема становится еще более серьезной с тонкими телами в полностью истощенных структурах СОИ и многостворчатых структур, а в крайнем случае - нанопроволочных структурах. По оценкам, в современных технологиях последовательное сопротивление снижает ток насыщения на 1/3 от идеального. Эта пропорция, вероятно, станет сложнее поддерживать или хуже с масштабированием.

Металлические ворота / высоковольтные стеки были реализованы в новейшей технологии, чтобы обеспечить масштабирование ЕОТ, в соответствии с общим масштабированием транзисторов, при этом поддерживая предельные токи утечки в допустимых пределах. Дальнейшее масштабирование ЕОТ с материалами более высокого К ($K > 30$) становится все более трудным и уменьшает отдачу. Показано, что уменьшение или устранение межфазного слоя SiO_2 вызывает состояние интерфейса и ухудшает мобильность и надежность. Еще одна проблема заключается в увеличении диэлектриков на вертикальных поверхностях в многошарнирных структурах. Основной нагрузкой на общую емкость затвора является не масштабируемая квантовая емкость последовательно с диэлектрической емкостью затвора.

Повышенная мобильность несущего канала с низким полем и высокая скорость поля из-за внутренней деформации являются основным фактором, отвечающим требованиям к производительности MOSFET. При индуцировании адекватного напряжения некоторые текущие

технологические процессы, как правило, менее эффективны при масштабировании. Кроме того, для применения известных методов, полученных от планарной структуры к непланарным структурам, будет возникать дополнительная сложность и сложность. Более того, прогнозируется, что усиление транспорта в какой-то момент насытится напряжением. (Более подробно см. Раздел «Решения логического потенциала».)

Впровадження матеріалів CMOS з високою рухливістю

Основные проблемы аналогичны описанным выше симуляциям Si CMOS. Следующее представляет дополнительные проблемы из этих новых материалов канала.

Выращивание оксидов MOSFET качества на материалах III-V уже давно является целью и борьбой в отрасли. Работа на местах продолжается уже много десятилетий, и успех только начал появляться только совсем недавно. Тем не менее, еще предстоит проделать большую работу в областях высококипящих диэлектриков, качества интерфейса, урожайности, изменчивости и надежности.

Большинство материалов III-V не обладают хорошей подвижностью для носителей типа p. Для обеспечения CMOS-решения Ge, по прогнозам, будет хорошим выбором, хотя он добавляет сложности для всего процесса (см. Ниже). Предпочтительным является материал с одним каналом для обоих типов каналов, и исследуются материалы, отличные от InGaAs. Ge CMOS обещает значительно более высокую внутреннюю подвижность как для n-, так и для p-типов носителей по сравнению с Si, но реализация n-канала является сложной задачей из-за допинга источника и контакта. Другая возможность состоит в том, чтобы иметь напряженный Si для NMOS и при этом иметь SiGe или Ge-канал для PMOS.

Для того, чтобы воспользоваться хорошо зарекомендовавшей себя платформой Si, предполагается, что новые материалы с высокой подвижностью будут эпитаксиально выращены на подложке Si. Несовпадение решетки представляет собой фундаментальную проблему с точки зрения качества материала и урожайности, а также практической задачи по стоимости.

Причина того, что требования к материалам с высокой подвижностью выращивать на подложке Si не только для установленных этапов обработки, но и для ожидания того, что компоненты Si будут включены в одни и те же

чипы. Примерами этих компонентов на основе Si являются встроенные DRAM и энергонезависимые запоминающие устройства, активные аналоговые устройства, включая силовые устройства, аналоговые пассивы и блоки КМОП большой цепи, которые не требуют высокой производительности, но лучше дают выход. Интеграция этих разных материалов с различными требованиями к процессу - огромная проблема. Возьмем в качестве примера интеграцию Si CMOS с III-V / Ge CMOS. Вероятно, потребуется три вида высоких диэлектриков. Различные виды металлических затворов также необходимы для обеспечения различных рабочих функций для обеспечения необходимого порогового напряжения. И все процессы должны быть совместимы друг с другом с точки зрения теплового бюджета.

Масштабування DRAM і SRAM

Для DRAM ключевой проблемой является реализация высококристаллических диэлектрических материалов для получения достаточной емкости для хранения на ячейку, даже когда размер ячейки уменьшается. Также важно контролировать общий ток утечки, в том числе утечку диэлектрика, утечку в распределительном соединении и подповерхностную утечку источника / стока источника транзистора, чтобы сохранить достаточное время удерживания. Требование низких токов утечки вызывает проблемы при получении требуемого транзистора доступа. Развертывание материалов с низким сопротивлением листа для текстовых и битовых линий для обеспечения приемлемой скорости для масштабированных DRAM и обеспечения адекватного колебания напряжения в текстовой строке для поддержания маржи критически важно. Необходимость увеличения плотности битов и снижения издержек производства ведет к ячейке типа 4F2, которая потребует высокого соотношения сторон и непланарных структур FET. Революционное решение иметь бесконденсаторную ячейку было бы очень полезно.

Для масштабирования SRAM трудности включают поддержание как допустимых шумовых полей при наличии возрастающих случайных флуктуаций VT, так и случайного телеграфного шума и управляющую нестабильность, особенно нестабильность горячих электронов и отрицательную температурную нестабильность (NBTI). Существуют сложные проблемы с поддержанием тока утечки в допустимых целях, а также сложной литографией и проблемами процесса травления с масштабированием. Решение этих проблем SRAM имеет решающее значение

для производительности системы, поскольку SRAM обычно используется для быстрой и встроенной памяти.

Масштабування великої щільності енергонезалежної пам'яті

Для устройств с плавающими затворами существует фундаментальная проблема немасштабирования туннельного оксида и интерпольного диэлектрика (IPD), а также высокое ($> 0,6$) отношение запирающего затвора (GCR) должно поддерживаться для управления каналом и предотвращения вливания электрона затвора во время стирания. Для NAND Flash эти требования могут быть слегка ослаблены из-за работы страницы и коррекции кода ошибки (ECC), но IPD < 10 нм все еще кажется недостижимым. Это геометрическое ограничение серьезно вызовет масштабирование далеко ниже 20 нм на половину поля. Кроме того, эффект окантовочного поля и помеха с плавающим затвором, помеховой запас и малоэлектронная статистическая флуктуация для V_t все налагают серьезные проблемы. Так как NAND half-pitch продвигается вперед по DRAM, а логика, литография, травление и другие достижения в области обработки также впервые протестированы по технологии NAND.

Устройства захвата заряда помогают смягчить помехи в плавающих затворах и проблемы с GCR, а плоская структура немного облегчает проблемы с литографией и травлением. Недавно были успешно разработаны high-K IPD и металлические ворота для плоской флеш-памяти с плавающей запятой, и были введены продукты с шагом $1/2$, равным 16 нм. Масштабирование далеко ниже 16 нм по-прежнему является сложной задачей, однако, поскольку эффекты помехоустойчивости и малоэлектронный запас шума V_t все еще не доказаны и более важны, электрический пробой между соседними текстовыми линиями может в конечном счете ограничить длину словарной строки $1/2 > 10$ нм.

Надежность выносливости и скорость записи / чтения для обоих устройств по-прежнему являются трудными задачами для высокоплотных приложений MLC (многоуровневая ячейка).

В настоящее время разрабатывается трехмерная вспышка NAND для создания высокоплотной NVM за пределами 256 Гб. Экономически эффективное внедрение этой новой технологии с MLC и приемлемая надежность работы остаются сложной задачей. Вопреки предыдущей (2011) проекции, фактический продукт, введенный в 2013 году, начался с более высоких значений высоты ячеек и высокого уровня. Начиная с большого

номера слоя, быстро нажмите номера слоев в будущих узлах до > 100 , так как каждому новому узлу необходимо удвоить слои. Это вызовет дополнительные сложные проблемы для технологии обработки для достижения таких структур

Надійність через матеріальні, технологічні та структурні зміни та нові пристрої.

Чтобы успешно масштабировать ИС для удовлетворения производительности, тока утечки и других требований, ожидается, что многочисленные основные процессы и материальные инновации, такие как диэлектрики с высоким уровнем k , металлические электроды затвора, повышенный источник / дренаж, передовые методы отжига и допирования, материалы с низким содержанием k и т. д. Кроме того, предполагается, что новые конструкции MOSFET, начиная с ультратонких корпусных FDSOI-полевых транзисторов и переходя к сверхтонким корпусным многополюсным МОП-транзисторам, должны быть реализованы. Ожидается, что понимание и моделирование проблем надежности для всех этих нововведений, с тем чтобы их надежность могла быть обеспечена своевременно, будет особенно сложной. Первая проблема краткосрочной надежности связана с механизмами отказа, связанными с МОП-транзистором. Неисправность может быть вызвана либо пробоем диэлектрика затвора, либо изменением порогового напряжения за допустимые пределы. Время до первого события пробоя уменьшается с масштабированием. Это первое событие часто является «мягким» пробоем. Однако в зависимости от схемы может потребоваться более одного мягкого пробоя для получения отказа ИС, или схема может работать в течение более длительного времени, пока начальное «мягкое» место пробоя не перейдет в «жесткий» сбой. Повреждение, связанное с пороговым напряжением, в первую очередь связано с отрицательной температурной неустойчивостью (NBTI), наблюдаемой в p -канальных транзисторах в состоянии инверсии. Он приобрел большую важность, поскольку пороговые напряжения были уменьшены. Могут быть затронуты варианты сжигания для повышения надежности от конечных продуктов, поскольку это может ускорить смену NBTI. Введение диэлектрика с высоким k -затвором может влиять как на режимы отказа диэлектрика (например, пробой и нестабильность), так и на режимы отказа транзисторов, такие как эффекты горячего носителя, положительная и отрицательная температурная неустойчивость. Замена поликремния металлическими воротами также влияет на надежность изолятора и вызывает новые термомеханические проблемы. Одновременное

введение высоко- и металлических ворот затрудняет определение и моделирование механизмов надежности. Чтобы внести это изменение в перспективу, даже после десятилетий исследований все еще существуют проблемы с надежностью диоксида кремния, которые необходимо решить.

Как упоминалось выше, переход на медь и диэлектрики с низким k повышал проблемы с электромиграцией, стягиванием стенок, меньшей механической прочностью, адгезией к поверхности и теплопроводностью и пористостью низкокristаллических диэлектриков. Изменение от Al до Cu изменило электромиграцию (от границы зерен до поверхностной диффузии) и стеновую пустоту (от тонких линий до пузырьков по широким линиям). Надежность в системе Cu / low- k очень чувствительна к проблемам интерфейса. Более плохие механические свойства диэлектриков с низким k также влияют на зондирование и упаковку. Более слабая теплопроводность низко- k диэлектриков приводит к более высоким температурам на кристалле и более высоким локальным тепловым градиентам, которые влияют на надежность. Пористость низкокristаллических диэлектриков может захватывать и транспортировать химические вещества и влагу, что приводит к коррозии и другим разрушающим механизмам.

Существуют дополнительные проблемы надежности, связанные с продвинутой упаковкой для высокопроизводительных интегральных схем с более высокой мощностью. Увеличение мощности, увеличение количества контактов и повышение экологических требований (например, без свинца) на всю надежность пакета. Взаимодействие между пакетом и матрицей будет увеличиваться, особенно с введением низкотемпературных интерметаллических диэлектриков. Переход на многочиповую упаковку и / или гетерогенную интеграцию делает надежность еще более сложной. По мере увеличения токов и уменьшения размеров шариков / ударов существует повышенный риск сбоев из-за электромиграции. Сокращение затрат вынуждает компании заменять провода золотой облитации на такие материалы, как медь, что создает дополнительные требования, чтобы сделать ее такой же надежной, как и золото.

ИС используются в различных приложениях. Существуют специальные приложения, для которых надежность является особенно сложной. Во-первых, есть приложения, в которых окружающая среда подвергает микросхемы воздействию гораздо большего, чем в типичных потребительских или офисных приложениях. Например, автомобильное, военное и аэрокосмическое применение подвергает ИС экстремальным

температурам и ударам. Кроме того, авиационные и космические применения также имеют более серьезную радиационную среду. Кроме того, приложения, такие как базовые станции, требуют непрерывного включения микросхем в течение десятков лет при повышенных температурах, что ускоряет тестирование ограниченного использования. Во-вторых, существуют важные приложения (например, имплантируемая электроника, системы безопасности), для которых последствия отказа ИС намного больше, чем в обычных приложениях ИС.

Впровадження передових багатонадресних структур

Ожидается, что для долгосрочных лет до конца текущей дорожной карты, когда длина затвора транзистора будет масштабироваться ниже 10 нм, предполагается, что будут использоваться сверхтонкие многополюсные МОП-транзисторы с слаболегированными каналами для эффективного масштабирования устройства и короткого замыкания -канальные эффекты. Ожидается, что будут учтены все другие требования к материалам и процессам, упомянутые выше, такие как диэлектрики затвора высокого калибра, электроды металлических затворов, натянутые кремниевые каналы, повышенный источник / дренаж и т. Д. Проецируются толщины тела как для полностью истощенных СОИ, так и для МГ ниже 2 нм, а влияние квантового удержания и влияния рассеяния на поверхности на тонкие устройства недостаточно изучено. Ультратонкий корпус также добавляет дополнительные ограничения для удовлетворения требований к сопротивлению паразитарного источника / стока. Наконец, для этих продвинутых высокомасштабированных МОП-транзисторов квазибаллистическая операция с улучшенной скоростью теплоносителя и впрыском на конец источника представляется необходимой для высокоточного привода. Но усиление деформации на этих непланарных устройствах сложнее.

Ідентифікація та впровадження нових структур пам'яті

Ожидается возрастающая трудность в масштабировании DRAM, особенно в связи с постоянным спросом на масштабирование стоп-каротажного накопительного конденсатора. Требуется более тонкий диэлектрический ЕОТ с использованием материалов сверхвысокого k и достижения очень низких токов утечки и рассеивания мощности. Решение для замены DRAM, избавившееся от конденсатора, будет очень полезным. Нынешняя 6-транзисторная структура SRAM занимает много места, и задача состоит в

том, чтобы искать революционное решение для замены, которое было бы очень полезным.

Очень желательна высокая плотность, быстрая и маломощная энергонезависимая память. Для масштабирования максимальной плотности может потребоваться трехмерная архитектура, такая как вертикально штабелируемые массивы ячеек в монолитной интеграции, с приемлемым выходом и производительностью. Для 3-D NAND-флэш-памяти потребуется > 100 слоев уложенных устройств и технологий обработки для достижения таких структур, и экономичная реализация сложна. Экономически выгодная реализация типа NVM без надбавок - сложная задача, и ее успех может зависеть от поиска эффективного устройства изоляции (выбора). NVM, не требующий зарядки, также может быть уложена в трехмерные структуры для достижения плотности Tb. Без встроенного изолирующего устройства в качестве флэш-памяти стекирование этих двух-терминальных устройств является дорогостоящим и сложным. Для дальнейшего увеличения плотности хранения до 1 ТБ и далее требуется много инноваций.

Более подробно см. Раздел «Новые исследовательские устройства».

Надійність нових пристроїв, конструкцій та матеріалів.

Долгосрочная надежность сложной задачи связана с новыми, разрушительными изменениями в устройствах, структурах, материалах и приложениях. Например, в какой-то момент будет необходимо внедрить немедные межсоединения (например, оптические или, на основе углеродных нанотрубок), или туннельные полевые транзисторы вместо классических МОП-транзисторов. Для таких разрушительных решений в настоящий момент мало знаний о надежности (хотя бы в том, что касается их применения в ИС). Это потребует значительных усилий для исследования, моделирования (как статистической модели распределения времени жизни, так и физической модели того, как время жизни зависит от стресса, геометрии и материалов) и применять полученные знания (новая встроенная надежность, надежная надёжность, экраны и тесты). Также представляется вероятным, что для развития этих новых возможностей надежности будет меньше времени и денег. Поэтому разрушающие материалы или устройства приводят к нарушению надежности, и для развития этих возможностей потребуются значительные ресурсы.

масштабування потужності

Хорошо известно, что V_{dd} более сложно масштабировать, чем другие параметры, главным образом из-за фундаментального предела подпорогового наклона ~ 60 мВ / десятилетия. Эта тенденция будет продолжаться и становится более серьезной, когда она приближается к режиму 0,6 В. Этот факт наряду с продолжающимся увеличением плотности тока (по площади) приводит к тому, что динамическая плотность мощности (пропорциональная V_{dd}^2) поднимается с масштабированием (хотя мощность на транзистор падает), вскоре до неприемлемого уровня. Альтернативные материалы с высоким мобильным каналом могут обеспечить некоторое облегчение в этой области, позволяя более агрессивное масштабирование V_{dd} . С другой стороны, для напряжений питания ниже $\sim 0,6$ В необходимо учитывать запас цепи из-за изменчивости процесса на пороговом напряжении.

Для высокопроизводительной логики, в тенденции увеличения сложности микросхем и увеличения тока транзистора с масштабированием, статическая рассеиваемая мощность кристалла, как ожидается, станет особенно сложной для контроля, в то же время для достижения агрессивных целей для масштабирования производительности. Инновации в схемном проектировании и архитектуре для управления производительностью и мощностью (например, использование параллелизма в качестве подхода к улучшению производительности схемы / системы, агрессивное использование мощности неактивных транзисторов и т. Д.), А также использование нескольких типов транзисторов (высокая производительность с высокой утечкой и низкая производительность с низкой утечкой) на чипе, необходимы для разработки микросхем с требуемой производительностью и рассеиваемой мощностью. Целью работы в области LP является компромисс скорости работы при низком выдержке или низком резервном питании.

Інтеграція для функціональної диверсифікації

Производительность чипа или технологии не только может быть измерена в скорости, плотности, мощности, шуме, надежности и т. Д., Но также и в функциональности. Тенденция в отрасли заключается в том, чтобы все больше и больше функций выполнялось на одном чипе. Примеры: датчики, MEMS, фотовольтаические, поглощающие энергию, радиочастотные и миллиметровые устройства и т. д. Естественно, что интеграция разнообразных материалов является огромной проблемой. Аналогичным образом, интеграция CMOS с высокой мобильностью на основе CMOS-логики и памяти CM на Si представляет множество проблем, как упоминалось ранее.

Чтобы улучшить плотность на чипе, тенденция отрасли заключается в трехмерной интеграции. Это вызывает напряжение, более высокую температуру работы, паразитные емкости, помехи, требования к изоляции, требования к процессу и их совместимость друг с другом, а также надежность устройства.