

Київський національний університет імені Тараса Шевченка



Смирнов Є. М., Бойчук Н. А.

ДОСЛІДЖЕННЯ СИНТЕЗАТОРА ЧАСТОТ ПРЯМОГО СИНТЕЗУ

**Методичний посібник до лабораторного практикуму
для студентів факультету радіофізики, електроніки та
комп'ютерних систем**

Київ 2016

Вступ

Прямий цифровий синтез (Direct digital synthesis), або скорочено DDS в широкому розумінні – це технологія створення аналогових сигналів за допомогою перетворення послідовності блоків цифрових даних в прямі відліки струму чи напруги за допомогою цифро-аналогового перетворювача (ЦАП). Таким чином, більшість сучасних електронних технологій в галузі передачі та відтворення звуку чи зображення тим чи іншим чином використовують DDS. В більш вузькому розумінні, DDS - це цифровий синтез неперервних, або модульованих радіочастотних сигналів. Такий цифровий синтезатор звичайно називається цифровим синтезатором прямого синтезу (Direct Digital Synthesizer), аббревіатура назви якого англійською мовою збігається з аббревіатурою назви самого принципу. Тож коли кажуть DDS, то звичайно мають на увазі саме цифровий синтезатор частоти, а не принцип.

По суті, DDS – це пристрій, що тим чи іншим чином використовує значення відліків чверті періоду синусоїдального сигналу, що в цифровому вигляді зберігаються в постійному запам'ятовуючому пристрої (ПЗП). Зовнішній генератор тактує процес опитування ПЗП та перетворення за допомогою ЦАП цифрових відліків в напругу за алгоритмом, що встановлюється командами управління, які передаються DDS по паралельному або послідовному каналу. Розрядність команд управління частотою може сягати в новітніх DDS аж до 48, а частота зовнішнього тактового генератора до 300 МГц, що надає можливість генерувати сигнали з частотою до 140 МГц з точністю встановлення частоти до 0.5 мкГц.

Останні досягнення в створенні DDS пов'язані з такими фірмами, як Harris, Qualcomm та Analog Devices, але в першу чергу з ім'ям останньої (Інтернет адреса: www.analog.com, офіційний представник в Україні – фірма VD MAIS, м. Київ), яка змогла створити ряд DDS з інтегрованим на одному кристалі швидкодіючим ЦАП. Розміри таких мікросхем, а також помірні ціна (не більше 30\$ за одиничний зразок найпотужнішого DDS) роблять їх в наш час відмінною альтернативою синтезаторам частоти, що побудовані на принципі фазового автопідстроювання частоти (ФАПЧ). Ось основні переваги DDS перед останніми:

- Дуже маленький крок перестроювання (від одиниць герц до мікрогерц), незалежність швидкодії перестроювання від дискретності сітки частот.
- Можливість швидкої стрибкоподібної фазонеперервної зміни частоти, а також фази і (в деяких моделях) амплітуди сигналу.
- Відсутність перехідних процесів при зміні частоти та фази сигналу.
- Відсутність внутрішніх нестабільностей, пов'язаних зі старінням та зміною температури.
- Повністю цифровий інтерфейс з можливістю застосування сучасних внутрішньо-системних паралельних та послідовних протоколів.
- Можливість високоточної квадратурної модуляції без застосування зайвих мікросхем.

Оскільки при роботі з DDS доводиться мати справу з джерелами виключно англійською мовою, написи на малюнках, що описують внутрішню структуру конкретних DDS, наведені мовою оригіналу. В тексті дається переклад цих термінів українською мовою.

1. Загальні принципи прямого синтезу електричних сигналів

Найпростіший DDS може бути створений комбінацією таких простих вузлів як

- тактовий генератор,
- лічильник адреси,
- постійний запам'ятовуючий пристрій (ПЗП) з розрядністю адреси N , в якому з розрядністю m записані 2^N значень функції $SIN(x_n)$, де $x_n = 2\pi n/2^N$ (Sine lookup),
- буферний регістр,
- ЦАП,

які з'єднані між собою в схему, що наведена на Рис. 1.1. В цьому випадку при збільшенні на одиницю адреси ПЗП відповідне значення функції записується в регістр і за допомогою ЦАП перетворюється в напругу, що зберігається на виході до наступного такту. Таким чином при неперервній роботі пристрою на його виході утворюється синусоїдальна напруга з частотою $f_{\text{вих}} = f_{\text{clk}} / 2^N$. Зрозуміло, що в такій ситуації змінювати частоту вихідного сигналу можна

змінюючи або частоту тактового генератора, або крок зміни значень синуса, що записаний в ПЗП. Тобто швидко змінювати частоту сигналу в такій архітектурі неможливо.

Тож на практиці в DDS застосовують архітектуру на основі так званого фазового акумулятора.

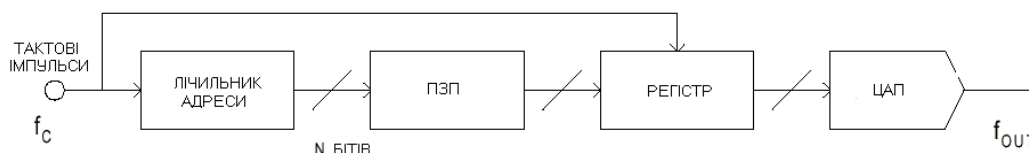


Рис. 1.1. Схема DDS.

1.1. ПРИНЦИПИ ПОБУДОВИ ЦИФРОВИХ СИНТЕЗАТОРІВ ПРЯМОГО СИНТЕЗУ

Фазовий акумулятор – це регістр, вміст якого з кожним тактом синхронізуючого генератора збільшується на число M (Tuning Word), яке записане в під'єднаному до нього допоміжному регістрі, що має назву частотного. Якщо вихід фазового акумулятора під'єднати до ПЗП, то адреса останнього буде збільшуватись не на одиницю (як в випадку, що описаний вище), а на число, що записане в частотному регістрі. Таким чином кількість відліків з ПЗП, де записані 2^N значень функції $SIN(x_n)$, де $x_n = 2\pi n/2^N$, буде в M разів менша і при тій самій частоті тактового генератора процес опитування всього ПЗП, де записані відліки одного періоду синусоїди, займе в M разів менше часу. Тож період вихідного сигналу стане в M разів менше, а частота відповідно в M разів більше. Зрозуміло, що оскільки кількість відліків в одному періоді синусоїди зменшується, то вигляд сигналу на виході синтезатора буде все менше нагадувати синусоїду, але про це, як і перетворення спектру вихідного сигналу, трохи пізніше. А поки напишемо в загальному випадку значення частоти вихідного сигналу: $f_{вих} = f_{clk} \cdot M/2^N$, де N – розрядність фазового акумулятора, а число M згідно з теоремою Найквіста (в вітчизняних джерелах більш відомою як теорема Котельникова) не може перевищувати 2^{N-1} . Дуже добре зрозуміло, як це відбувається, коли 2^N кратне M , в супротивному разі послідовність вибірок кожного періоду синусоїди буде відрізнятись від попереднього і дійсний період такої послідовності дорівнюватиме найменшому

загальному кратному 2^N та M . Але, як легко прослідкувати, і в цьому випадку усі вибірки з ПЗП залишаються еквідистантними, тобто якщо розгорнути в часі вибірки значень синусоїди, то усі вони лежать саме на синусоїді з частотою $f_{вих}$.

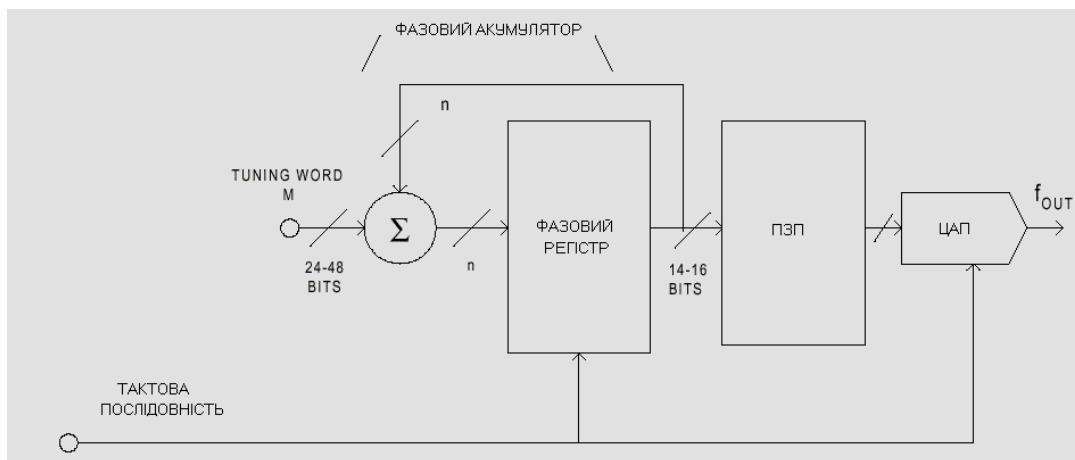


Рис. 1.2. Схема DDS на основі фазового акумулятора.

Як ми вже відмічали, розрядність частотного регістра і фазового акумулятора може сягати 48 (наприклад DDS AD9852 та AD9854 фірми Analog devices), розрядність же шини адреси ПЗП не перевищує 17 (звичайно 13 – 14), причому для управління адресою ПЗП використовуються старші біти фазового акумулятора. Таким чином при виборці адреси ПЗП відбувається округлення місткості фазового акумулятора і точне значення частоти можна зареєструвати тільки за досить велику кількість періодів вихідного сигналу, що по суті є паразитною фазовою модуляцією. Зрозуміло, що коли біти, що відкидаються, дорівнюють нулю, така паразитна фазова модуляція буде фактично відсутньою.

1.2. ФУНКЦІОНАЛЬНА СХЕМА

Розглянемо на прикладі одного з найпростіших функціонально повних DDS, а саме AD9850 фірми Analog Devices, структурну схему реального синтезатора частоти. Мікросхема має два внутрішніх регістри (FREQUENCY/PHASE DATA REGISTER) – частотний з розрядністю 32 біти і комбінований фазовий - управління з розрядністю 8 біт, з яких 5 старших віднесено до фази, а 3 молодших до управління. Мікросхема має також фазовий акумулятор, фазовий суматор та швидкодіюче ПЗП, що об'єднані на малюнку в швидкодіючий DDS

(HIGH SPEED DDS). Мікросхема також вміщує інтегрований на одному кристалі ЦАП (10-bit DAC).

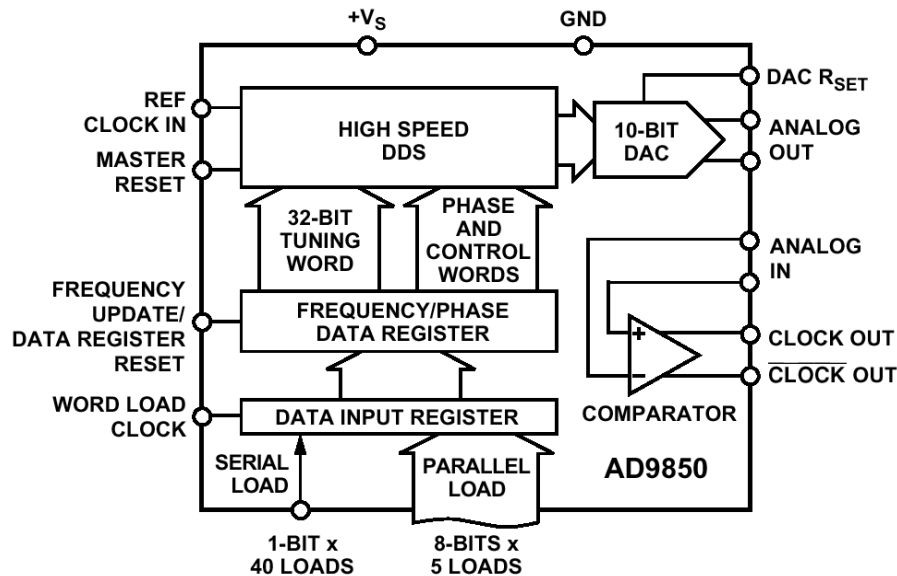


Рис. 1.3. Структурна схема синтезатора AD9850.

Принциповим в організації структурної схеми є розділення вхідного і внутрішнього регістрів. Перший призначений для приймання потоку керуючих сигналів за паралельним або послідовним протоколом, другий – постійно підключений до фазового акумулятора та фазового суматора і визначає частоту та фазу коливань. Ми бачимо, що в структурі реального синтезатора окрім фазового акумулятора є такий пристрій як фазовий суматор. Він розташований між фазовим акумулятором і ПЗП і являє собою звичайний арифметичний суматор, що додає до вмісту фазового акумулятора число, що міститься в фазовому регістрі. Зрозуміло, що додавання якогось постійного числа до вмісту фазового акумулятора веде до постійного зміщення адреси ПЗП, тобто до зсуву фази вихідного сигналу.

Обов'язковим елементом DDS є регістр управління, куди записується службова інформація, потрібна для роботи DDS. Дуже часто DDS мають вбудований компаратор, що призначений для перетворення синусоїдальної вихідної напруги в цифрову тактову послідовність.

Більш сучасні та просунуті DDS окрім згаданих мають ще декілька вузлів, що можуть бути розглянуті на прикладі найсучаснішого DDS AD9854 фірми Analog Devices. Як бачимо, порівняно з попередньою, схема містить цілий ряд додаткових вузлів. По-перше, цей DDS містить не один, а два ЦАП, другий з

яких може бути використаний або як Q-канал для здійснення квадратурної модуляції, або як допоміжний ЦАП для утворення опорної напруги для вбудованого компаратора. По-друге, схема містить цифровий помножувач (multiplexer), що міститься між ПЗП та ЦАП, що дозволяє здійснювати цифрову амплітудну або квадратурну модуляцію вихідного сигналу. По-третє, ми бачимо такі додаткові пристрої як цифровий фільтр (Inverse Sinc Filter), що міститься перед цифровим помножувачем та вбудований помножувач тактової частоти (Reference clock multiplier). Останній дуже часто буває необхідним, бо створення стабільного тактового генератора з частотою, наприклад, 300 МГц – завжди проблема.

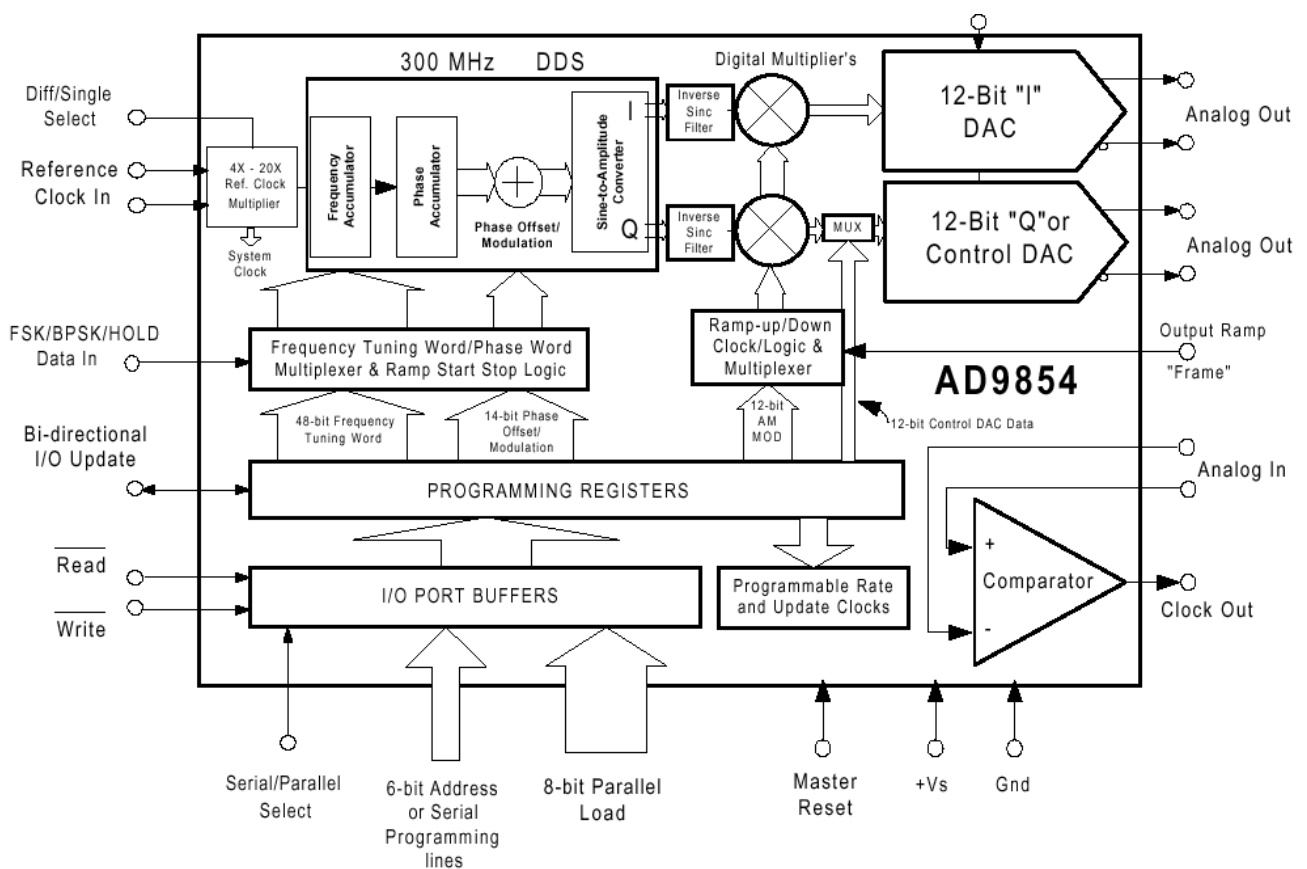


Рис. 1.4. Сучасна архітектура 12-бітного DDS.

1.3. ПРИНЦИПИ УПРАВЛІННЯ

Управління DDS здійснюється за допомогою потоку даних, що надходить від керуючого процесора. Протокол зв'язку звичайно допускає управління як по паралельному, так і по послідовному каналу, хоча зустрічаються DDS, які

керуються лише по одному з них, частіше послідовному. Прості DDS звичайно мають один вхідний регістр з розрядністю, що дорівнює сумі розрядностей частотного та фазового регістрів і регістру управління. Тож для мінімальної зміни в роботі DDS ми повинні повністю перезавантажити вміст вхідного регістра. Прикладом такої організації є DDS AD9850 або AD9851 фірми Analog Devices, де вхідний регістр з розрядністю 40 біт призначений для розміщення інформації для частотного регістра (молодші 32 біти), регістра управління (3 наступні біти) та фазового регістра (старші 5 біт). Тож для завантаження вхідного регістру по паралельному каналу нам необхідно послідовно записати 5 байтів, причому при кожній операції запису новий байт стає на місце молодшого байту вхідного регістру, а ті, що записались раніше, зсуваються на один байт в бік старших розрядів.

Word	data[7]	data[6]	data[5]	data[4]	data[3]	data[2]	data[1]	data[0]
W0	Phase-b4 (MSB)	Phase-b3	Phase-b2	Phase-b1	Phase-b0 (LSB)	Power-Down	Control	Control
W1	Freq-b31 (MSB)	Freq-b30	Freq-b29	Freq-b28	Freq-b27	Freq-b26	Freq-b25	Freq-b24
W2	Freq-b23	Freq-b22	Freq-b21	Freq-b20	Freq-b19	Freq-b18	Freq-b17	Freq-b16
W3	Freq-b15	Freq-b14	Freq-b13	Freq-b12	Freq-b11	Freq-b10	Freq-b9	Freq-b8
W4	Freq-b7	Freq-b6	Freq-b5	Freq-b4	Freq-b3	Freq-b2	Freq-b1	Freq-b0 (LSB)

Запис кожного байта здійснюється за допомогою сигналу Write за звичайним протоколом запису в порт вводу-виводу. При запису по послідовному каналу необхідно записати 40 біт інформації в тому самому порядку, тобто першим записується старший біт фазового регістру, а останнім – молодший біт частотного регістру. Слід відмітити, що звичайно як паралельний, так і послідовний порти дуже швидкі і дозволяють запис із швидкостями до 100 Мбайт/с (для послідовного 10 Мбіт/с).

Для перезавантаження вмісту зовнішнього (вхідного) регістру в відповідні внутрішні регістри (частотний, фазовий, управління) використовується окремий сигнал Frequency Update, що дозволяє підготувати нову керуючу інформацію без завад для роботи DDS.

Дуже важливу функцію має керуючий сигнал Reset, який занулює вміст всіх внутрішніх регістрів (частотного, фазового і, частково, управління), але в деяких DDS це не зачіпає вмісту вхідного регістру. Наслідком застосування

цього сигналу є фактично генерація нульової частоти з нульовою фазою, тобто постійної напруги величиною, що дорівнює амплітуді вихідного косинусоїдального сигналу при нормальній роботі DDS. За деяких умов в цьому разі можна вважати DDS виключеним з можливістю негайного включення за допомогою сигналу Frequency Update, бо вміст вхідного регістру залишився без змін. Відмітимо, що коли ми казали про часткове обнулення вхідного регістру, то мали на увазі біт переводу DDS в «сплячий» режим, коли він споживає дуже малу потужність, тож Reset виводить DDS зі «сплячого» режиму. Іншим важливим наслідком застосування сигналу Reset можна вважати те, що після нього генерація вихідного сигналу завжди починається з нульової фази.

У більш досконалих DDS принцип управління дещо інший – звичайно вони мають окрему шину адреси, яка дозволяє записувати інформацію безпосередньо в будь-яку частину вхідного регістру (наприклад AD7008 фірми Analog Devices), або навіть в окремий байт кожного із них (AD9852 тієї ж фірми), що дозволяє суттєво прискорити цикл зміни будь-якого з параметрів вихідного сигналу.

Такі досконалі DDS звичайно мають не по одному, а по два частотних (та фазових) регістри, комутація яких до фазового акумулятора (суматора) здійснюється безпосередньо за допомогою одного зовнішнього логічного сигналу (0 або 1), що дозволяє здійснювати швидку цифрову стрибкоподібну частотну (фазову) модуляцію кодовим сигналом. Така модуляція звичайно має назву FSK – Frequency Shift Keying (BPSK – Binary Phase Shift Keying). Також, звичайно, вони мають внутрішні таймери для здійснення деяких додаткових видів модуляції, наприклад, пилкоподібної частотної модуляції.

2. Основи теорії синтезу сигналів за допомогою дискретних відліків

2.1. ТЕОРЕМА НАЙКВІСТА (NYQUIST THEOREM)

Прямий цифровий синтез саме синусоїдального сигналу, що і є питанням DDS, дозволяє досить легко зрозуміти загальні принципи теорії цифрового синтезу сигналів. Отож, уявимо собі послідовність нескінченно вузьких відліків синусоїдального сигналу з частотою f_S , що слідує один за одним з частотою

вибірки f_s (індекс s від англійського sample – вибірка), бо саме це відбувається в DDS. Для правильного використання цифрового синтезатора частоти прямого синтезу вкрай необхідне знання спектру сигналу, що утворюється на його виході. На Рис. 2.1. наведений спектр сигналу з частотою 80 МГц, що утворений за допомогою DDS з частотою вибірки 300 МГц. Згідно теореми Найквіста для коректного синтезу сигналу необхідна частота вибірки, що принаймні вдвічі перевищує ширину спектру сигналу, що синтезується. Дискретна вибірка приводить до виникнення так званих зображень спектру сигналу, що розташовані симетрично відносно гармонік сигналу вибірки $f_s \times N \pm f_0$.

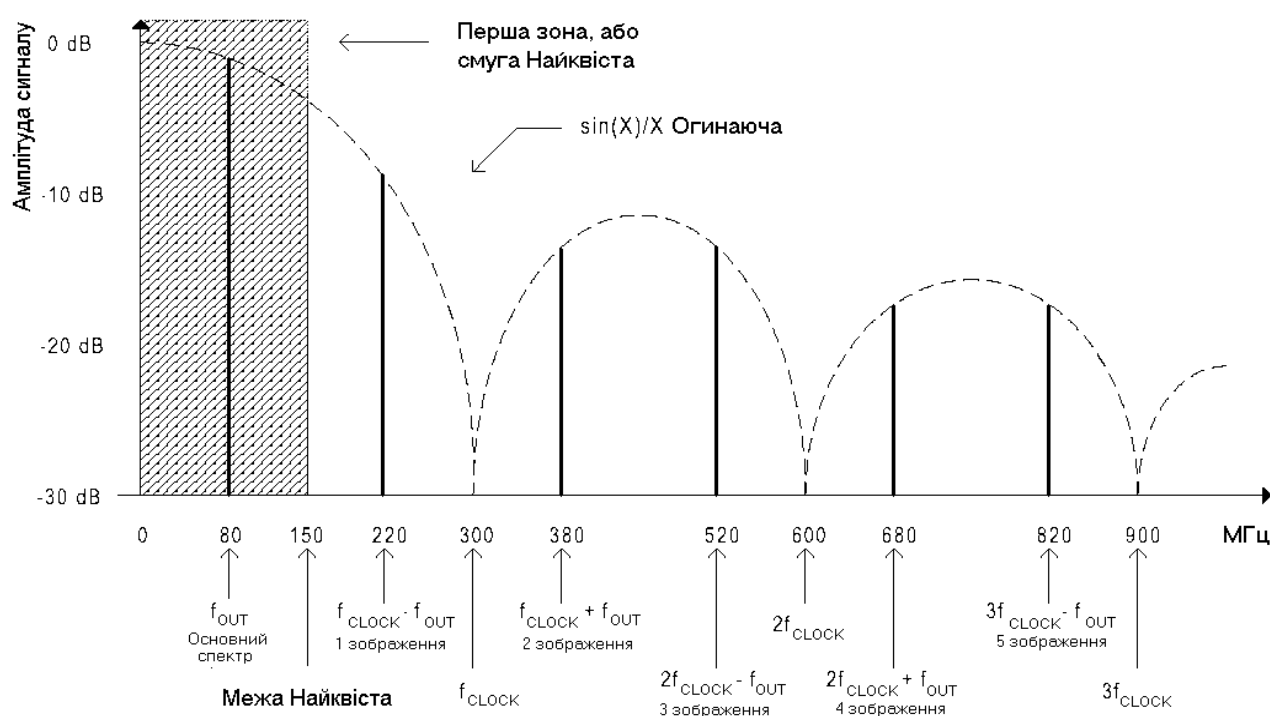


Рис. 2.1. Спектр вихідного сигналу DDS.

2.2. ПЕРІОДИЧНІ ТА ДЗЕРКАЛЬНІ СПЕКТРИ

Розглянемо тепер спектральний склад вихідного сигналу. Як зазначалось раніше, для збільшення відносної амплітуди основної гармоніки сигнал на виході синтезатора утримують сталим на протязі часу між двома відліками. В результаті сигнал на виході являє собою не гребінку δ -функцій, промодульованих по амплітуді, а так звану “драбину”:

$$s(t) = \sum_{n=-\infty}^{\infty} v(nT_s)h(t-nT_s),$$

де $T_s = 1/f_s$ – проміжок часу між двома імпульсами вибірки, $h(t) = 1$ для $0 \leq t \leq T_s$ і $h(t) = 0$ в інших випадках. Форма дискретизованого сигналу подана за допомогою функції $v(t)$. Виходячи з теореми про дискретизацію спектр такого сигналу являє собою:

$$F(f) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} V(f - \frac{n}{T_s}).$$

В загальному випадку сигнал $V(t)$ являє собою періодичний сигнал з основною гармонікою f_0 (Навіть якщо синтезатор генерує монохроматичний сигнал, існують небажані гармоніки вищого порядку, що виникають, наприклад, за рахунок нелінійності цифрово-аналогового перетворювача). Тоді такий сигнал можна подати за допомогою ряду Фур'є, а його спектр буде дискретним:

$$V(f) = \sum C_m \delta(f - mf_0),$$

де f_0 – вихідна частота синтезатора, а коефіцієнти C_m визначаються з формули:

$$C_m = \int_{-T_s/2}^{T_s/2} v(t) \exp(-j2\pi \cdot f_s \cdot mt) dt.$$

Отже, Фур'є-перетворення вихідного сигналу подається у вигляді формули:

$$F(f) = f_s \cdot \sum_{n=-\infty}^{\infty} \sum_{m=-\infty}^{\infty} c_m \delta(f - nf_s - mf_0).$$

Функція затримки відліку на час між двома відліками $h(t)$ додає до спектру обвідну, що задається формулою:

$$H(f) = \exp(-j \cdot \pi \cdot f \cdot T_s) \cdot \frac{\sin(\pi \cdot f \cdot T_s)}{\pi \cdot f \cdot T_s}.$$

Результуючий спектр вихідного сигналу:

$$S(f) = \exp(-j \cdot \pi \cdot f \cdot T_s) \cdot \frac{\sin(\pi \cdot f \cdot T_s)}{\pi \cdot f \cdot T_s} \sum_{n=-\infty}^{\infty} \sum_{m=-\infty}^{\infty} c_m \cdot \delta(f - nf_s - mf_0).$$

Отже, на виході синтезатора частоти присутні всі спектральні компоненти, що відповідають сигналу $V(t)$, і крім того ще присутні дзеркальні

відображення спектру відносно частот $m \cdot f_s$. Якщо сигнал $V(t)$ – ідеальна синусоїда, то спектр містить компоненти: $m \cdot f_s \pm f_0$. Компоненти, що відповідають $n = 0$ є бажаним синусоїдальним сигналом. Він виділяється за допомогою фільтру низької частоти на виході синтезатора. Вихідні фільтри можуть бути і смуговими фільтрами, якщо нас цікавить генерація в вузькому діапазоні частот, і ми хочемо подавити шуми зовні цього діапазону. Спектр вихідного сигналу зображений на рис 2.1.

2.3. ЧАСТОТНА МАНІПУЛЯЦІЯ (FSK)

Частотна маніпуляція (FSK – Frequency shift keying) – один з найпростіших способів цифрового кодування. В ній біти «0» та «1» представляються двома різними частотами: f_0 та f_1 відповідно. Схема такого кодування просто реалізується в DDS. Все, що вимагається – змінювати в DDS вміст частотного регістру (Tuning Word) таким чином, щоб генерувалися частоти f_0 і f_1 відповідно до передаваної послідовності нулів та одиниць. У випадку з такими пристроями, як AD9852, AD9853 та AD9856, ця процедура суттєво спрощена. В цих пристроях користувач задає 2 потрібні Tuning Word перед передачею послідовності для кодування. Потім за допомогою спеціального FSK-піну можна вибирати необхідне Tuning Word. Таким чином, коли цей пін встановлений в логічний стан «0», генерується сигнал з частотою f_0 , а коли в логічний стан «1» – то з f_1 . Реалізацію FSK показано на схемі, зображеній на рис. 2.2. Дана ідея використовується в реалізаціях DDS фірми Analog Devices.

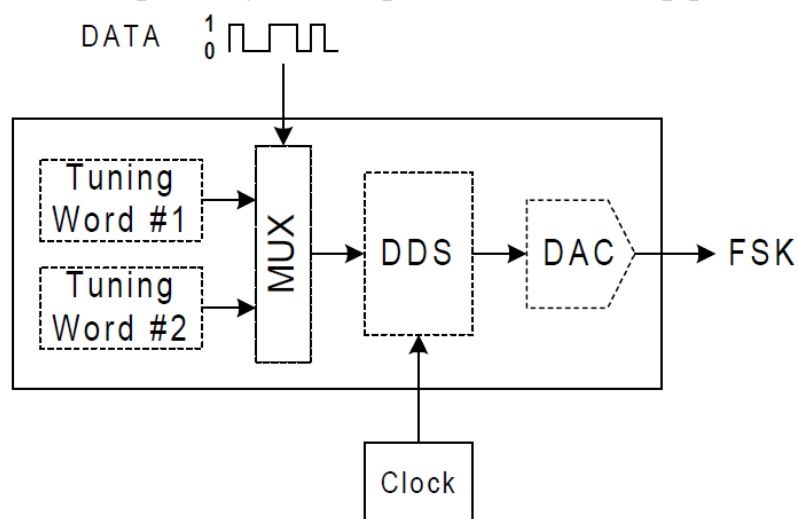


Рис. 2.2. FSK-модулятор на основі DDS.

Різновидом FSK є MFSK (multi-frequency FSK). В MFSK використовуються $2B$ частоти ($B > 1$), а передача даних згрупована в пакети по B бітів. Двійкове B -розрядне число представляється однією з можливих $2B$ частот. Наприклад, якщо $B=3$, то буде $2^3=8$ можливих комбінацій, які передають 3 біти за раз. Кожна комбінація відповідатиме за одну з 8 можливих вихідних частот від f_0 до f_7 .

Розглянемо спектр FSK сигналу. В загальному випадку спектр сигналів з кутовою модуляцією не виражається аналітично. Але у випадку бінарної послідовності можна отримати оцінку спектру FSK сигналів. Графіки, які допоможуть в оцінці, зображені на рис. 2.3.

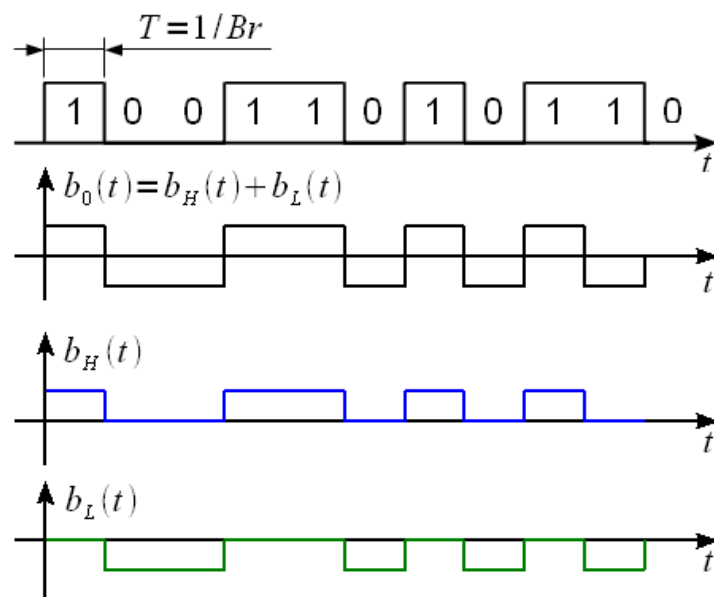


Рис. 2.3. Представлення модулюючого сигналу.

На верхньому графіку зображена вихідна бітова послідовність, яка передається зі швидкістю Br бод, тобто тривалість одного біту послідовності – $T=1/Br$ с. Модулюючий сигнал представимо на графіку як $b_0(t)$, в якому використовуються рівні $+1$ та -1 , а середнє дорівнює нулю. Представимо сигнал $b_0(t)$ у вигляді суми двох сигналів: $b_0(t) = b_L(t) + b_H(t)$ (див. рис. 2.3). Тоді FSK сигнал можна подати у вигляді суми сигналів $s_L(t)$ і $s_H(t)$:

$$\begin{aligned} s(t) &= s_L(t) + s_H(t), \\ s_L(t) &= b_L(t) \cdot \cos((\omega_0 - \omega_\delta) \cdot t), \\ s_H(t) &= b_H(t) \cdot \cos((\omega_0 + \omega_\delta) \cdot t), \end{aligned}$$

де $\omega_0 = 2\pi \cdot \frac{Br}{2} \cdot m = \pi \cdot Br \cdot m$ – частота девіації FM сигналу, m – індекс FSK модуляції, який визначає, у скільки разів розкид частот маніпуляції перевищує бітову швидкість, $Br/2$ – частота повторень біта при чергуванні нулів з одиницями (вдвічі менша за швидкість передачі інформації). Графічно це подано на рис. 2.4.

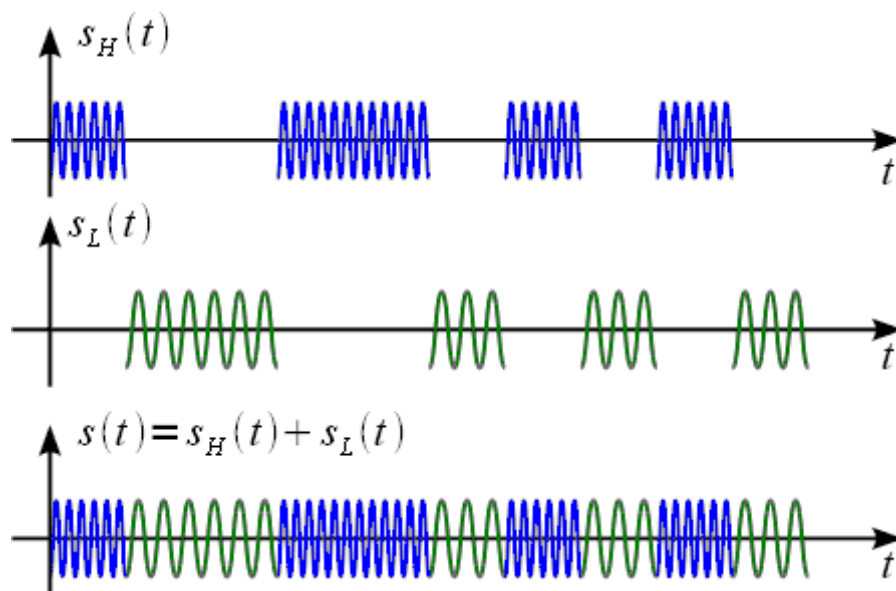


Рис. 2.4. Представлення FSK сигналу.

Таким чином, спектр FSK сигналу $S(\omega)$ є сумою спектрів $S_L(\omega) + S_H(\omega)$ сигналів $s_L(t)$ і $s_H(t)$. Але ці сигнали – це перенесені на відповідні частоти сигнали $b_L(t)$ і $b_H(t)$, які в свою чергу представляють собою послідовність імпульсів тривалості $T=1/Br$. Оскільки бітова послідовність випадкова, то спектральні густини $B_L(\omega)$ і $B_H(\omega)$ сигналів $b_L(t)$ і $b_H(t)$ можуть бути представлені, як показано на рис. 2.5.

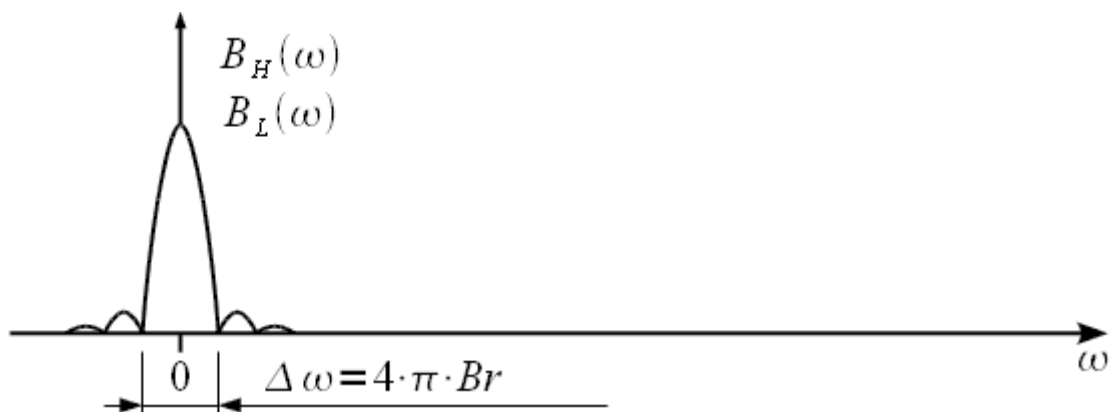


Рис. 2.5. Спектральна густина випадкового бітового потоку.

Тоді спектри $S_L(\omega)$ і $S_H(\omega)$ сигналів $s_L(t)$ і $s_H(t)$, а також результуючий спектр FSK сигналу, показані на рис. 2.6. Таким чином, ми отримали спектр FSK сигналу. Видно, що його складові рознесені на частоту девіації, яка залежить від бітової швидкості Br та індексу модуляції m . При фіксованій бітовій швидкості складові спектру FSK сигналу будуть тим ближче, чим менший індекс FSK модуляції.

На рис. 2.7 зображений також спектр FSK та його основні частотні співвідношення. Видно, що при зменшенні індексу FSK модуляції складові FSK сигналу зсуваються і при $m=2$ основні пелюстки дотикаються, а при $m=1$ перекриваються на половину. Таким чином, індекс модуляції задає положення складових FSK незалежно від несучої частоти і бітової швидкості модулюючого сигналу. Параметр K задає кількість бокових пелюстків між складовими спектру.

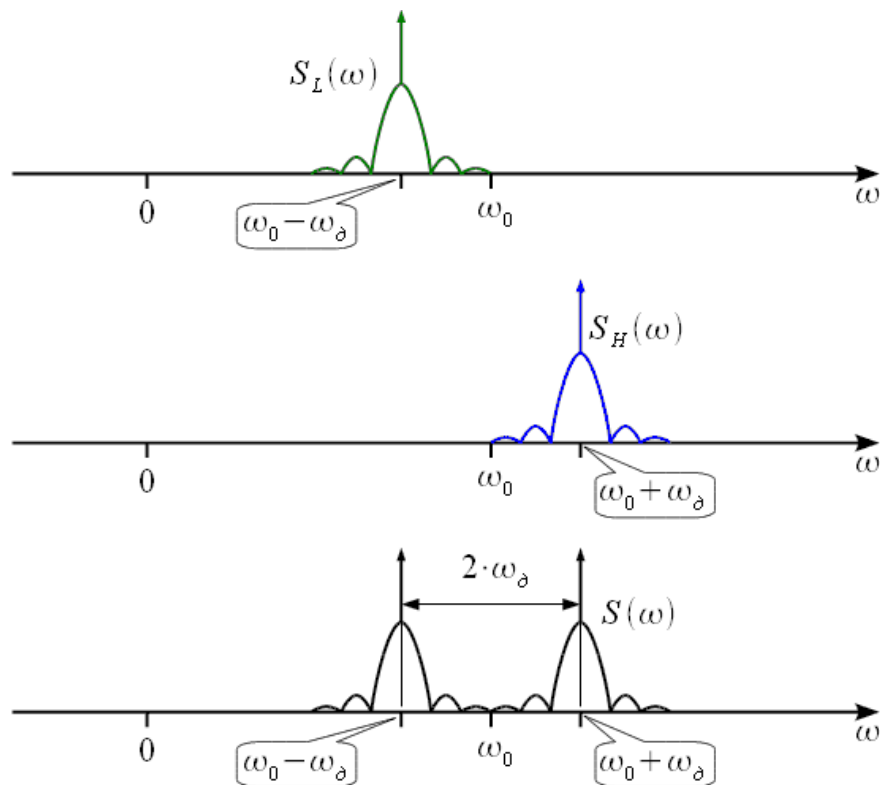


Рис. 2.6. Спектр FSK сигналу.

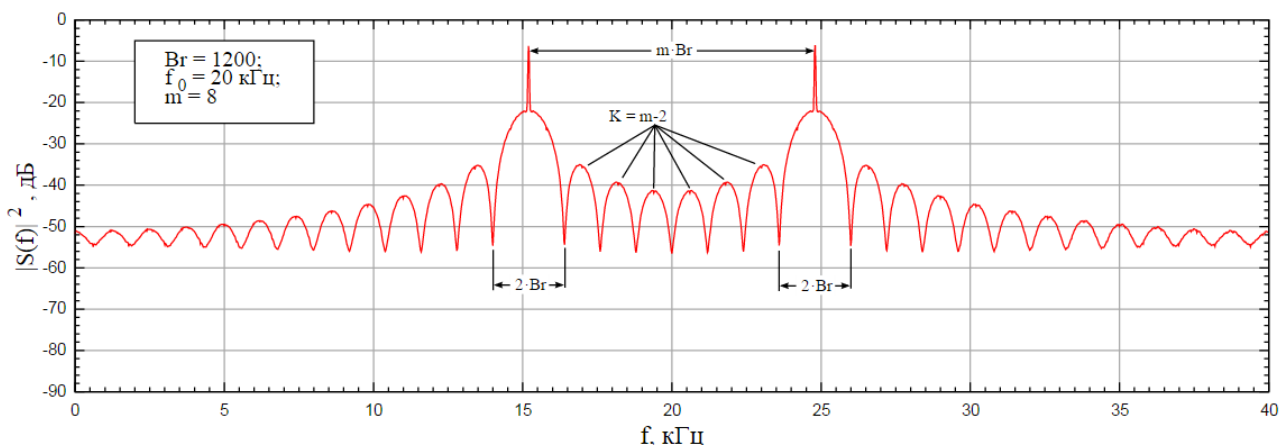


Рис. 2.7. Основні частотні співвідношення в спектрі FSK.

3. Вплив характеристик окремих елементів синтезатора на параметри вихідного сигналу

3.1. СПЕКТРАЛЬНА ЧИСТОТА ВИХІДНОГО СИГНАЛУ

Спектральна чистота вихідного сигналу синтезатора частоти залежить від багатьох факторів, включаючи фазовий шум джерела опорної частоти, кількості біт фази, які використовуються для відтворення синусоїди, та розрядності ЦАП.

3.2. РОЗРЯДНІСТЬ ЦИФРО-АНАЛОГОВОГО ПЕРЕТВОРЮВАЧА

Розрядність цифро-аналогово перетворювача – це кількість біт на вході ЦАП. Вплив розрядності ЦАП на чистоту вихідного сигналу можна зрозуміти з рис 3.1.

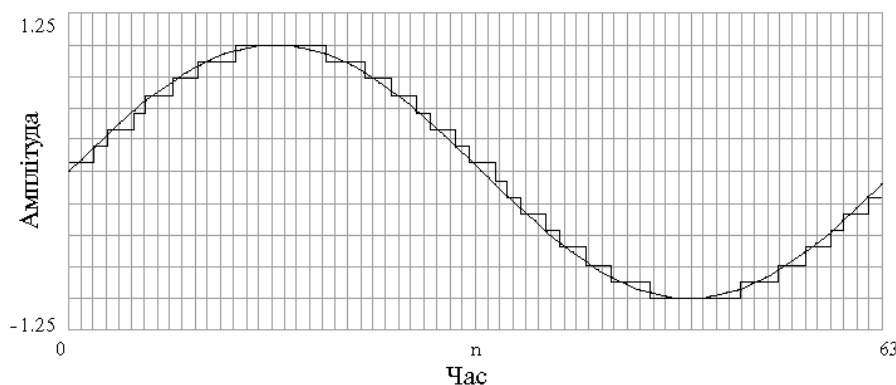


Рис. 3.1. ЦАП з розрядністю 4 біти використовується для відтворення ідеальної синусоїди. Вертикальні лінії відображають моменти часу, коли відбувається зміна значення напруги на виході ЦАП.

Спостерігається відхилення сигналу на виході цифрово-аналогового перетворювача від ідеальної синусоїди. Похибка, що вноситься, називається **похибкою квантування**. Гострі краї призводять до виникнення вищих частот у спектрі, які додаються до основної гармоніки. Ці вищі гармоніки спотворюють сигнал. В частотній області похибка квантування призводить до виникнення дискретних піків, які виникають внаслідок розмноження спектру при дискретному перетворенні сигналу.

При збільшенні розрядності цифрово-аналогового перетворювача похибка квантування зменшується, і відношення сигнал / шум на виході зростає.

Оцінка впливу розрядності ЦАП на паразитні складові (якщо припустити, що всі інші елементи ідеальні і паразитних складових не дають) може бути зроблена за формулою:

$SQR = 1.76 + 6.02 \cdot B$ (дБ), де SQR – рівень сигналу по відношенню до максимального рівня шуму в децибелах, B – кількість біт ЦАП.

Якщо ще врахувати покращення шумової характеристики за рахунок збільшення частоти дискретизації (опорної частоти), то формула набуде вигляду:

$$SQR = 1.76 + 6.02 \cdot B + 10 \cdot \ln \frac{F_{\text{опорна}}}{F_{\text{кр}}}, \text{ де } F_{\text{опорна}} - \text{опорна частота, } F_{\text{кр}} - \text{критична}$$

частота дискретизації, отримана виходячи з ширини спектра.

Збільшення відношення сигнал / шум при збільшенні опорної частоти відбувається тому, що шумові складові спектра розподіляються по більш широкій ділянці. Фільтр низьких частот на виході виділяє частину спектру, що визначається максимальною частотою вихідного сигналу. Відносна частка паразитних складових в цій частині спектра зменшується. Детальний механізм цього процесу поданий в [1].

Для AD9852 ми маємо 12-бітний ЦАП. При генерації 30 МГц, і використанні опорної частоти 300 МГц (не важливо, зовнішньої, чи отриманої шляхом внутрішнього помноження частоти) рівень паразитних складових (максимальний):

$$F_{\text{кр}} = 2 \cdot 30 = 60 (\text{МГц})$$

$$L = -SQR = -(1.76 + 6.02 \cdot 12 + 10 \cdot \ln \frac{300}{60}) \cong -81 (\text{дБ})$$

Ці розрахунки справедливі при повному використанні розрядності ЦАП. Якщо ж ЦАП використовується не повністю, то рівень паразитних складових збільшиться на величину, що виражається формулою:

$A = 20 \log(\gamma)(\text{дБ})$, де γ – частина від повного діапазону ЦАП, що використовується.

3.3. РОЗРЯДНІСТЬ ФАЗОВОГО АКУМУЛЯТОРА

Крім розрядності ЦАП на шумові характеристики впливає також ефект урізання фази. Обмеженість обсягу внутрішнього запам'ятовуючого пристрою, в якому зберігаються відліки синусоїди, диктує нам обмеженість кількості відліків фази, які можуть бути перетворені у відліки амплітуди. Кількість таких відліків, як правило менша за можливу кількість значень фазового акумулятора. Отже, при відтворенні синусоїди використовуються лише старші біти фазового акумулятора. Для AD9852 це складає 17 біт при 48 бітному фазовому акумуляторі. Молодші біти при перетворенні у відліки амплітуди просто ігноруються. Для більшої наочності процесу відсікання фази корисно звернутися до фазової діаграми (рис 3.2).

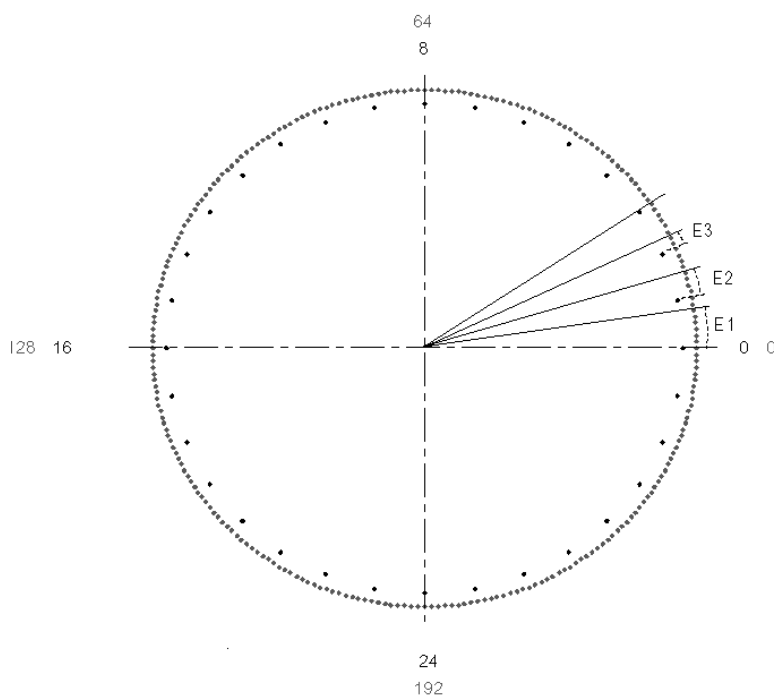


Рис 3.2. Фазова діаграма і похибка, яка виникає при округленні.

Розглянемо 8-бітну модель фазового акумулятора, в якому використовуються лише 5 старших біт для визначення амплітуди. Для 8-бітного фазового акумулятора роздільна здатність $1/256$ частина повного кола, тобто 1.41° . На рис 3.2 роздільна здатність фазового акумулятора позначається крапками на зовнішній стороні кола. Якщо використовуються лише старші 5 біт фазового акумулятора, то роздільна здатність стає $1/32$ частина кола, або 11.25° . Це позначено крапками на внутрішній стороні кола. Нехай тепер ми маємо керуюче слово по частоті 6, тобто фазовий акумулятор щоразу збільшує своє значення на 6. Перші чотири фазових кути зображені на малюнку. Перший крок збільшення фази (6 поміток по зовнішньому колу) не доходить до першої внутрішньої мітки, виникає різниця в 8.46° , позначена на малюнку, як E_1 . Після наступного кроку значення фазового акумулятора попадає між першою та другою мітками внутрішнього кола. Знову таки, виникає похибка 5.64° ($4 \cdot 1.41^\circ$), позначена як E_2 . Аналогічно похибка на третьому кроці складе 2.82° . На четвертому кроці, однак, значення фазового акумулятора співпадає з поміткою на внутрішньому колі.

Зрозуміло, що фазова похибка, що виникла внаслідок відсікання фази, перейде в амплітудну похибку в процесі переведення значення фази у значення амплітуди. Такі похибки мають періодичний характер. Це пояснюється тим, що незалежно від того, яке значення керуючого частотного слова вибрано, після певної кількості повних обертів фази значення фазового слова і значення урізаного фазового слова співпадуть (якщо вони початково виходили з одної точки).

Лінійчатий спектр в частотній області, що виникає при цьому містить піки, що виникли в результаті відсікання фази.

Амплітуда і положення цих піків залежать від:

1. Розрядності фазового акумулятора (A біт).
2. Кількість біт після відсікання (P біт).
3. Керуючого частотного слова (T).

Рівень паразитних складових у спектрі сильно залежить від значення керуючого частотного слова. Є значення цього слова, які майже не призводять до виникнення паразитних складових (так звані “гарні частоти”), і є значення, які навпаки призводять до максимального можливого рівня паразитних складових (так звані “погані частоти”).

Керуюче слово, що веде до максимального рівня шумів можна знайти з умови:

$$НСД(T, 2^{A-P}) = 2^{A-P-1}$$

Керуюче слово, що призводить до найменшого рівня паразитних складових знаходиться з умов:

$$НСД(T, 2^{A-P}) = 2^{A-P}$$

При проектуванні пристроїв на основі синтезаторів частоти прямого синтезу стараються уникати поганих частот і надають перевагу гарним частотам.

Вихідна частота синтезатора визначається формулою

$$F_{вих} = \frac{M}{2^N} \cdot F_{опорна}$$

де: $F_{вих}$ – вихідна частота, M – керуюче слово в регістрі синтезатора, $F_{опорна}$ – опорна частота, N – кількість біт в фазовому акумуляторі. Виходячи з цієї формули визначають потрібне керуюче слово.

Якщо взяти опорну частоту 300 МГц, то погані частоти для AD9852 будуть визначатись за формулою:

$$F_n = 9155,273 \cdot (2k + 1)(\Gamma_{\mathcal{U}}), k = 0, 1, 2, \dots$$

Гарні частоти будуть визначатись, як:

$$F_n = 9155,273 \cdot 2k(\Gamma_{\mathcal{U}}), k = 0, 1, 2, \dots$$

Положення паразитних складових можна точно розрахувати, виходячи з опорної частоти, частоти, що генерується (керуючого частотного слова), розрядності фазового акумулятора і кількості біт, що використовуються для визначення відліків амплітуди, але цього робити не варто, оскільки виходячи з розрахунків рівень цих паразитних складових набагато менший, порівняно з шумами, створеними іншими чинниками. Якщо $A-P > 4$ (як ми маємо у випадку AD9852, де $A=48$, $P=17$), то максимальний рівень шумів, що виникають внаслідок усікання фазового слова (при відсутності інших факторів, які спричиняють шуми) можна оцінити за формулою:

$$L = -6.02 \cdot P(\partial Б)$$

$$\text{Для AD9852 } P=17, L = -6.02 \cdot 12 = -102.3(\partial Б)$$

Отже, як видно, рівень цих паразитних складових на два порядки (за потужністю) менший від рівня шумів, що виникатимуть внаслідок скінченої розрядності ЦАП (-81дБ).

В [7] був запропонований підхід до зменшення паразитних складових у вихідному сигналі за рахунок вводу генератора випадкових чисел на стадії формування значення фази. Шумовий доданок не корелює зі значенням похибки фази і тому генератор шуму діє, ніби “розподільувач шуму”, тобто зменшуються гострі піки і шум “розмазується” по всьому спектру. Але така техніка підходить для малих вихідних частот по зрівнянню з опорною частотою.

3.4. ІНШІ ДЖЕРЕЛА ПОХИБОК

Крім розглянутих джерел шумів є ще такі:

1. Нелінійність ЦАП.
2. Перехідні процеси перемикавання ЦАП.
3. Наведення на вихід частоти тактового генератора (опорної частоти).
4. Стискання даних в ПЗП, з метою підвищення можливих частот генерації.
5. Кінцевий час перемикавання ЦАП.

Нелінійність характеристики ЦАП призводить до появи вищих гармонік. Таке спотворення називають нелінійним. Воно призводить до виникнення піків в частотному представленні вихідного сигналу. Положення цих піків можна передбачити, оскільки вони є гармоніками частоти, що генерується. Однак не треба забувати, що цифровий синтезатор частоти дискретний пристрій, який працює на певній частоті дискретизації F_s . Тому, будь-яка гармоніка, частота якої вище за $0.5F_s$ проявить себе у вигляді дзеркального зображення, як це показано на рис 3.3.

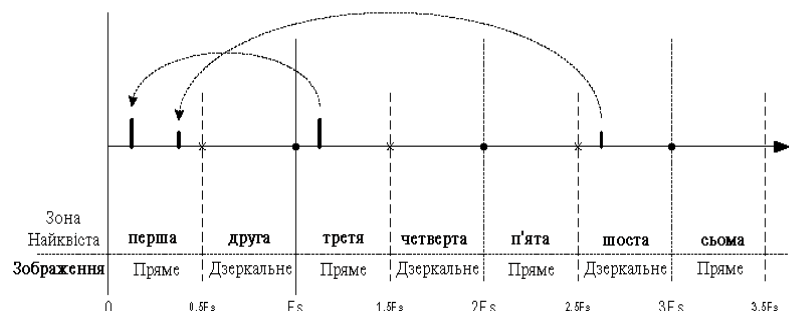


Рис 3.3. Поява вищих гармонік через не лінійність.

Для AD9852 максимальна диференціальна нелінійність становить 1.25 від значення молодшого біта, а інтегральна нелінійність становить 1.66 від значення молодшого біта. Розрядність ЦАП в AD9852 12 бітів.

З огляду на третю причину варто використовувати попереднє поділення опорної частоти на 2 (в результаті отримується 15 МГц), а потім вмикати внутрішнє помноження опорної частоти на 20 для отримання 300 МГц.

Також на чистоту сигналу впливають характеристики фільтра низької частоти, що ставиться на виході синтезатора. Важливо також правильно зробити монтаж схеми, з використанням синтезатора частоти, щоб отримати чистий сигнал. Як зазначено в [1], потрібно ретельно слідкувати за рівнем шумів по живленню, особливо якщо синтезатор використовується на граничних опорних частотах. По можливості, треба виключити паразитні наводки тактової частоти, а також інших сигналів в частотному діапазоні, в якому працює синтезатор. Існує загроза, що шум джерела живлення може потрапити на якийсь асинхронно-керований вхід і спричинити неправильний запис в один з регістрів, або помилкову команду завантаження керуючого слова.

Опорна частота, як зазначається в [1], є основним джерелом фазових шумів синтезатора, навіть якщо її вплив зменшується за рахунок поділу частоти.



Рис. 3.4. Загальне нелінійне спотворення (розрядність 16 біт, частота дискретизації 40 кГц).

Розглянемо вплив нелінійності ЦАП на шумові характеристики синтезатора. Для аналізу нелінійності цифро-аналогового перетворювача користуються такими поняттями, як диференціальна нелінійність і інтегральна нелінійність.

Диференційна нелінійність визначає, наскільки окремо взятий відлік амплітуди відрізняється від ідеального. Для AD9852 диференційна нелінійність ЦАП, що стоїть на виході, складає до 1,25 від значення молодшого біта. Інтегральна нелінійність визначає, наскільки уся передаточна функція цифрово-аналогового перетворювача відрізняється від ідеальної прямої лінії. Для AD9852 інтегральна нелінійність складає до 1,66 від значення молодшого біта [4]. Ці характеристики впливають на коефіцієнт нелінійних спотворень, що визначається як відношення сумарної потужності вищих гармонік до потужності основної гармоніки, тобто потрібного нам синусоїдального сигналу, а також на шумові характеристики окремо взятого цифро-аналогового перетворювача. Коефіцієнт нелінійних спотворень прямо залежить від інтегральної нелінійності, а рівень власних шумів залежить від диференціальної нелінійності. При зростанні інтегральної нелінійності зростає рівень нелінійних спотворень. В [4] був проведений аналіз нелінійності ЦАП і її вплив на спектр вихідного сигналу. Аналогічну ситуацію ми маємо для ЦАП, тільки тут вважається, що спектр вхідної кодової послідовності являє собою спектр ідеальної дискретизованої синусоїди, а вихідний аналоговий сигнал має нелінійні спотворення. Коефіцієнт нелінійних спотворень залежить від частоти сигналу. Цю залежність можна проілюструвати на рис. 3.4.

Нелінійні спотворення сильно зростають при зростанні частоти. Тут варто згадати, що інтегральна нелінійність для ЦАП означена, як відхилення від ідеальної передаточної характеристики. На низьких частотах приходить досить багато відліків на один період сигналу (період слідування відліків визначається тактовою частотою). На високих частотах на один період припадає мало відліків, і вплив інтегральної нелінійності стає суттєвим. Для розробників промислових систем не потрібно враховувати коефіцієнт нелінійних спотворень, оскільки промислові частоти не є досить високими. Але при розробці швидкісних пристроїв з використанням цифро-аналогового перетворювача цю залежність потрібно враховувати.

Розглянемо тепер вплив на чистоту вихідного спектра синтезатора характеристик опорної частоти. Максимальні параметри спектральної частоти, які можна досягнути, дуже сильно залежать від опорної частоти. В ідеальному випадку вважається, що інтервали часу між відліками однакові. Але на практиці такого досягнути майже ніколи не вдається. Існує певне відхилення кожного відліку по часовій осі. Такі відхилення носять назву тремтіння опорної частоти.

Ці відхилення призводять до того, що відліки амплітуди будуть відрізнятися від відліків амплітуди ідеальної синусоїди, і як результат, буде спостерігатися спотворення спектру вихідного сигналу. Існує декілька факторів, які впливають на тремтіння опорної частоти. В [2] виділені такі фактори:

Тепловий шум. Будь-який пристрій має активні опори, тепловий рух носіїв заряду в яких спричиняє тепловий шум. Середньоквадратичне значення теплового шуму визначається, як:

$V = \sqrt{4 \cdot k \cdot T \cdot R \cdot \Delta F}$, де k – константа Больцмана, T – абсолютна температура, R – величина активного опору, ΔF – діапазон частот.

Наведена змінна напруга. Наведена змінна напруга є другим фактором, що впливає на шуми опорної частоти. Паразитні сигнали можуть бути наведені як з ефіру, так і через джерело живлення. Шуми, що наводяться з оточуючого простору мають назву радіоперешкод. Джерелом цих завад є розташовані поруч провідники із змінним струмом, радіо і телевізійні передавачі, електродвигуни, та інші електричні пристрої.

Існують і інші фактори, але вони не такі суттєві, як наведені два.

Розширення спектру опорного сигналу, що спричинено цими чинниками називається фазовим шумом. Ще крім фазового шуму джерела опорної частоти важливими характеристиками, що впливають на вихідний сигнал є стабільність частоти та тремтіння країв. Наглядно це можна показати на рис. 3.5.

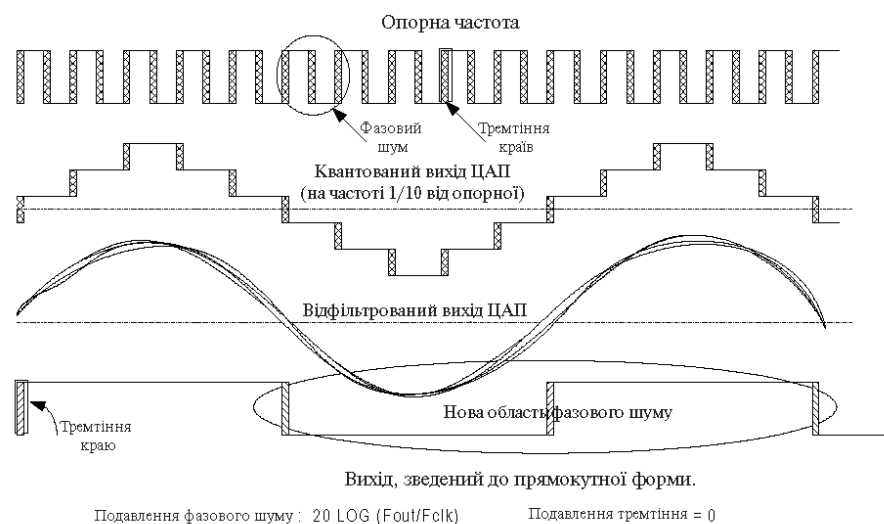


Рис. 3.5. Вплив на вихідний сигнал фазового шуму і опорної частоти.

Як видно з малюнка, тремтіння країв вихідної частоти таке саме, як і тремтіння країв опорної частоти (в часовому представленні). Хоча, що до фазового шуму, то він частково подавляється, оскільки ведеться усереднення

частоти опорного сигналу за декілька періодів. Зменшення фазового шуму тим більше, чим більше відношення опорної частоти до вихідної частоти. З цих міркувань бажано брати якомога більшу опорну частоту.

Слід відмітити, що вплив тремтіння опорної частоти незначний, порівняно із впливом точності приростів фази фазового акумулятора. Для правильного відтворення амплітуди за значенням фази повинні виконуватись два критерії: правильне розташування відмітки фази на часовій осі (це задача джерела опорної частоти), та відповідної цій фазі правильної амплітуди (це задача цифро-аналогового перетворювача).

4. Застосування цифрових синтезаторів прямого синтезу

4.1. КВАДРАТУРНІ МОДУЛЯТОРИ

Цифрові синтезатори частоти дозволяють просто і ефективно виконувати амплітудну, фазову і частотну модуляцію. В теорії модуляції користуються поняттям відеосигналу – сигналу, спектр якого займає смугу $(-f_0; f_0)$. В загальному випадку модуляція радіосигналу відеосигналом супроводжується переносом спектру відеосигналу на частоту несучої. Як відомо, перенос частоти можна здійснити за допомогою нелінійного елементу – помножувача сигналів. На рис. 4.1 зображено найпростіший амплітудний модулятор.

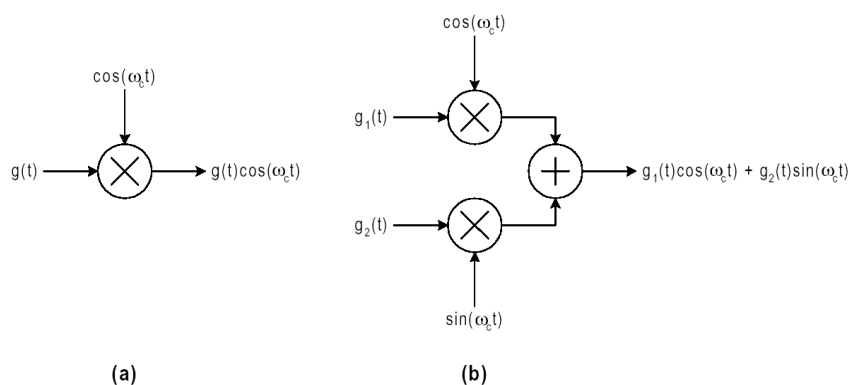


Рис. 4.1. Структурна схема квадратурного модулятора.

Квадратурний модулятор фактично складається з двох амплітудних модуляторів. Цікавою і корисною рисою квадратурного модулятора є те, що

підбором модулюючих функцій $g_1(t)$, $g_2(t)$ можна отримати амплітудну, частотну і фазову модуляцію.

Тип модуляції	Перетворення	Значення модулюючих функцій
Амплітудна	$a(t) \cdot \cos \omega t = g(t) \cdot \cos \omega t$	$g_1(t) = a(t)$ $g_2(t) \equiv 0$
Фазова	$\cos(\omega t + \varphi(t)) = \cos \omega t \cdot \cos \varphi(t) - \sin \omega t \cdot \sin \varphi(t)$	$g_1(t) = \cos \varphi(t)$ $g_2(t) = -\sin \varphi(t)$
Частотна	$\cos(\omega + \omega_1(t))t = \cos \omega t \cdot \cos \omega_1(t)t - \sin \omega t \cdot \sin \omega_1(t)t$	$g_1(t) = \cos(\omega_1(t) \cdot t)$ $g_2(t) = -\sin(\omega_1(t) \cdot t)$

В більшості синтезаторів частоти, зокрема в AD9852 квадратурні модулятори інтегровані. В AD9852 є два виходи – косинусоїдальний і синусоїдальний. Ми можемо вибирати за допомогою інтерфейсу керування синтезатором амплітудні множники для цих двох виходів. Виконавши зовнішнє додавання сигналів ми отримуємо квадратурний модулятор.

4.2. АЛЬТЕРНАТИВА ГЕНЕРАТОРАМ НА ОСНОВІ ФАПЧ

Генератори на основі ФАПЧ призначені для створення сигналів високих частот в радіозв'язку та інших областях застосування. Вони використовуються там, де потрібно отримати високі частоти гарної стабільності, напряду які генерувати важко. Генератори на основі ФАПЧ роблять перетворення опорного сигналу з помноженням частоти. Але сітка частот, яка отримується таким чином, не дуже густа. Чим густішу ми робимо сітку, тим більший час перестроювання генератора.

Використання синтезатора частоти прямого синтезу в складі генератора на основі ФАПЧ дає ряд переваг. Головна ідея в такому використанні полягає в тому, щоб синтезатор забезпечував генерацію в обмеженому діапазоні частот, з подальшим перенесенням вихідного спектру в область більш високих частот. Критична частина генерації сигналу виконується на DDS, оскільки він має велику роздільну здатність по частоті, малий час перестроювання і неперервну фазу при перестроюванні. Існує 3 найбільш популярних схеми використання DDS в складі генераторів на основі ФАПЧ.

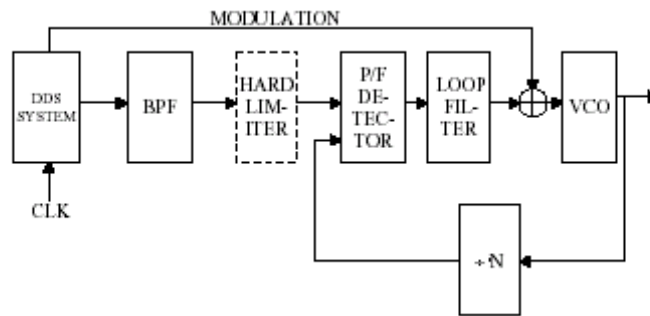


Рис. 4.2. Архітектура генератора в складі DDS в якості джерела опорної частоти і модулюючого сигналу.

Перша схема використовує синтезатор в якості джерела опорної частоти і джерела модулюючого сигналу (рис. 4.2). Від схеми ФАПЧ в такому виконанні вже не вимагається великої роздільної здатності по частоті, оскільки цю функцію взяв на себе синтезатор. Виконуючи лінійну зміну частоти синтезатора можливо весь час тримати схему автопідстройки в режимі „захопленої фази”. Таким чином, досягнення автопідстройки фази може бути реалізоване при меншій смузі пропускання фільтра.

Технологія ФАПЧ часто використовується для генерації і модуляції несучої частоти в передавачах та виконанні швидкого перестроювання несучої (frequency hopping). При цьому модуляція часто здійснюється шляхом зміни напруги осцилятора з керуванням по напрузі (VCO – voltage control oscillator). Але схема автопідстройки частоти буде створювати протифазну керуючу напругу (оскільки її призначення якраз і полягає в підтриманні частоти VCO постійною). Тому потрібно відфільтрувати ту складову в керуючій напрузі схеми автопідстройки, що виникає внаслідок модуляції. Ця фільтрація виконується над вихідним сигналом фазового детектора. Частота зрізу фільтру вибирається таким чином, щоб отримати мінімальне придушення складових модуляційного сигналу. З цієї точки зору частоту зрізу потрібно брати якомога нижчою. Але це зменшує швидкість відгуку схеми автопідстройки. Тому характеристики такої схеми в цілому не набагато кращі, чим при звичайному використанні VCO (з фазовим шумом, що при цьому утворюється).

Якщо вести лише модуляцію шляхом зміни керуючої напруги VCO, буде існувати похибка за фазою між входами фазового детектора, оскільки схема автопідстройки на має змогу реагувати швидко на зміну частоти опорного сигналу. Отже, максимальні швидкості передачі даних повинні бути набагато нижчі за частоту зрізу фільтра, оскільки в противному випадку втратиться форма сигналу.

Схема (рис 4.2) зображає ситуацію, де модуляція одночасно ведеться і по напрузі VCO, і над опорною частотою. В такому випадку знімаються вимоги до фільтру з боку модулюючого сигналу. Модуляція VCO компенсується шляхом модуляції опорного сигналу схеми ФАПЧ. Таким чином, фільтр може бути оптимізований для отримання кращих характеристик по фазовому шуму схеми.

Розглянемо інший варіант реалізації генератора на ФАПЧ з використанням DDS. В найпоширенішому випадку при модуляції сигналу відбувається змішування несучого сигналу з відеоімпульсами даних. Для позбавлення від паразитних ефектів інтерференції при багатохвильовому розповсюдженні радіосигналів використовується швидка зміна частоти несучої. Крок, який можна отримати при такій зміні, дорівнює опорної частоти схеми ФАПЧ (при використанні цілого подільника). Схему ФАПЧ важко реалізувати для дуже швидкого перестроювання і густої сітки частот, оскільки при цьому зростає коефіцієнт помноження опорної частоти. Тому часто використовують декілька паралельних схем ФАПЧ, якщо потрібно реалізувати швидке перестроювання.

Якщо джерело опорної частоти взяти фіксоване, а всі перестроювання частоти вести повністю цифровими методами, тоді можна добитися перестроювання частоти в межах передачі одного символу. Але при збільшенні швидкості операцій в цифрових пристроях значно зростає потужність споживання, і знижуються параметри чистоти сигналу.

Якщо час встановлення частоти схемою ФАПЧ менше захисного інтервалу цифрового дискримінатора в приймачі, то можна обмежитись однією схемою ФАПЧ. Час встановлення частоти обернено пропорційний опорній частоті (при одній і тій же результуючій частоті). Тому потрібно збільшувати опорну частоту для зменшення постійної часу перестроювання. Але при цьому рідшає сітка частот.

Якщо ж синтезатор буде інтерполювати частоти, що знаходяться між можливими частотами схеми ФАПЧ (рис. 4.3), тоді опорна частота ФАПЧ може бути збільшена без загрози зменшення сітки частот.

Наступна схема (рис. 4.4) відображає архітектуру генератора, що складається з DDS-синтезатора-модулятора, та однієї схеми ФАПЧ для генерації високої частоти.

Вихідна частота визначається коефіцієнтом поділення (який є цілим числом). При збільшенні коефіцієнту поділу в схемі ФАПЧ сильно зростає рівень фазових шумів.

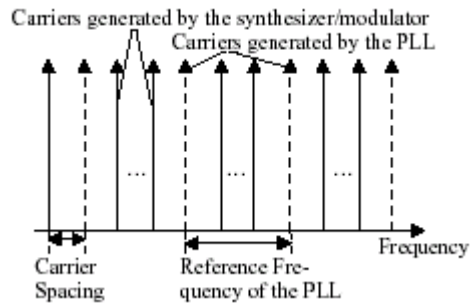


Рис. 4.3. Сітка частот схеми ФАПЧ

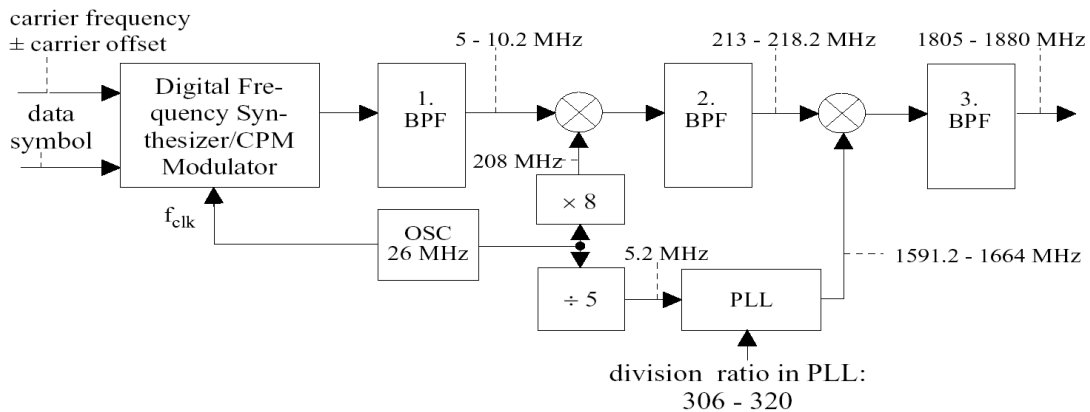


Рис. 4.4. Архітектура генератора в складі DDS-синтезатора-модулятора.

Тому намагаються збільшити частоту самого синтезатора і зменшити коефіцієнт поділу. Ширина смуги фільтрів визначає фазові шуми, що виникають внаслідок флуктуації фази VCO в режимі захопленої фази. Тому використавши фільтр з кращим подавленням паразитних складових опорної частоти, можна отримати ті ж параметри при простішому і дешевшому VCO.

Час встановлення частоти такої схеми буде визначатися часом стабілізації ФАПЧ, оскільки час встановлення частоти синтезатором набагато менший за час встановлення схеми ФАПЧ.

Типові параметри такої системи:

Частоти передачі	1805 – 1880 MHz
Частоти прийому	1710 – 1785 MHz
Ширина полоси	75 MHz
Тривалість встановлення частоти	576.9 мкс
Захисний інтервал	30 мкс
Бодова швидкість (кількість символів за секунду)	270,833 кБіт/с
Похибка за несучою частотою	90 Гц
Сітка частот	200 КГц.
Тип модуляції	GMSK with $BT_{sym} = 0.3$

5. Експериментальна установка

Схема експериментальної установки зображена на рис. 5.1. Вона складається з персонального комп'ютера, на якому встановлена плата керування DDS, DDS AD9852 з фільтром низьких частот (LPF) з граничною частотою 120 МГц, осцилографа С1-70 та аналізатора спектрів С4-25. Опорною частотою для DDS є кварцовий генератор з частотою 20 МГц.

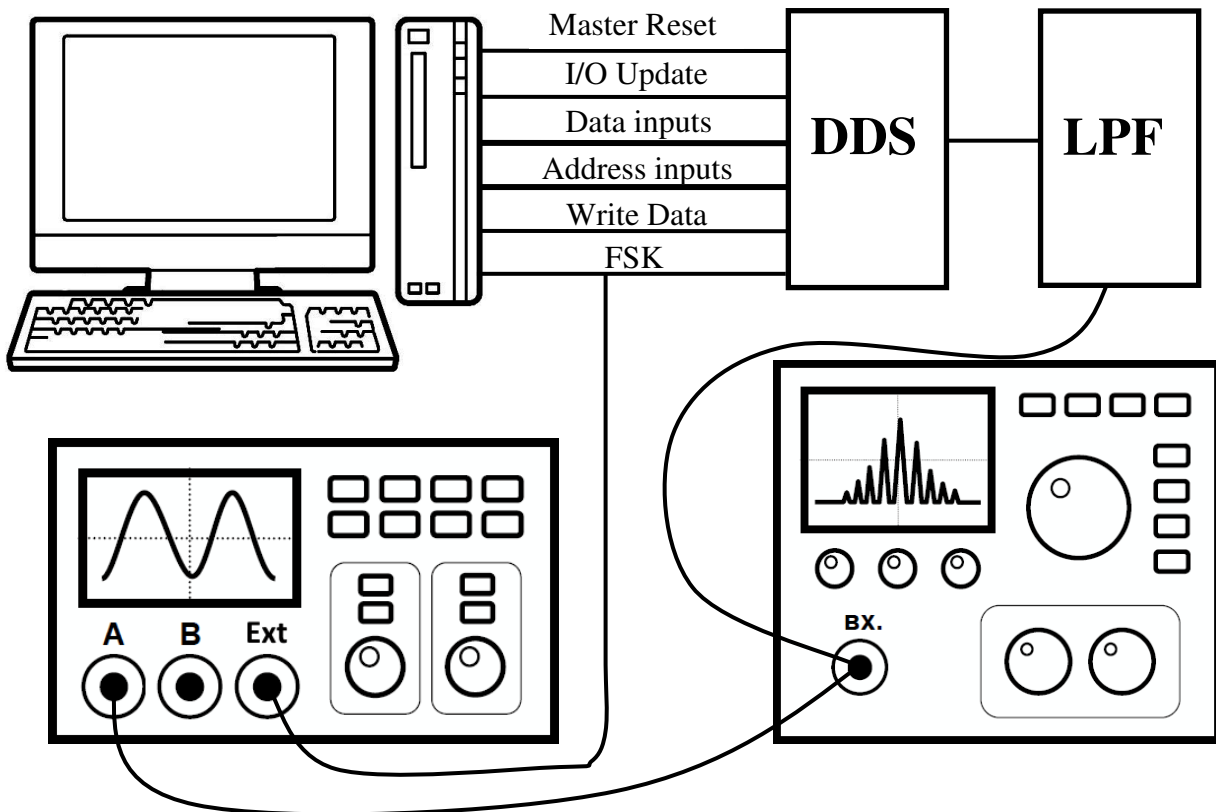


Рис. 5.1. Схема експериментальної установки.

На комп'ютері встановлене спеціальне програмне забезпечення, за допомогою якого відбувається керування DDS. Вихідний сигнал з DDS фільтрується на LPF та потрапляє на аналізатор спектру і осцилограф. Сигнал, який задає частоту вихідного сигналу DDS при FSK (f_0 чи f_1), подається також на осцилограф для синхронізації вихідного сигналу при частотній модуляції.

6. Методичні вказівки до виконання лабораторної роботи

6.1. КОРОТКИЙ ОПИС AD9852

AD9852 – пристрій, який використовує сучасні DDS технології з можливістю цифрового керування, здатний синтезувати сигнали високої якості. Під'єднаний до високоточного тактового джерела, AD9852 може генерувати високоточну частотно-програмовану косинусоїду, яку вже потім можна використовувати у різних застосуваннях. Спрощена схема AD9852, яку необхідно знати для успішного виконання лабораторної роботи, подана на рис. 6.1.

Вибір режиму роботи DDS вимагає встановлення біту в контрольному регістрі за адресою 1Fh у відповідний стан (інформацію про доступні регістри DDS див. нижче в таблиці 6.1):

Mode0 = 0 – режим «Single Tone»,

Mode0 = 1 – режим «FSK».

Single Tone

Як тільки-но відбувається скидання DDS до стандартних налаштувань (сигнал Master Reset), режим «Single Tone» стає режимом за замовчуванням.

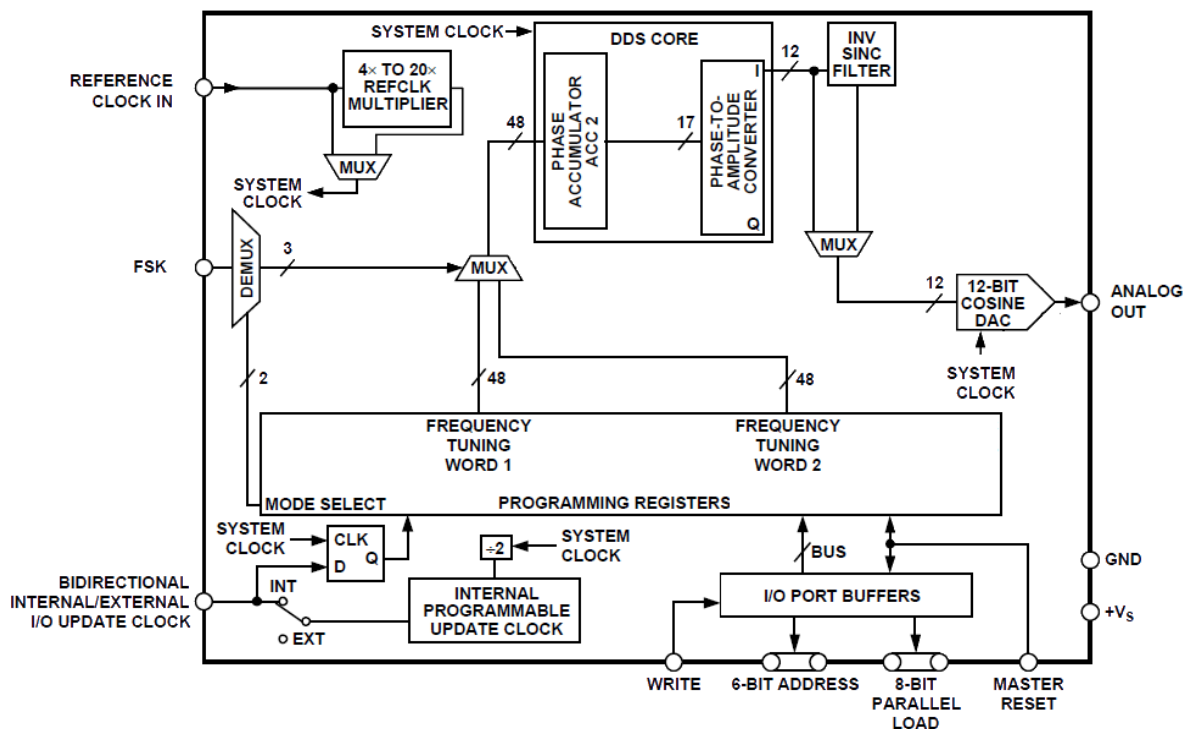


Рис. 6.1. Структурна схема синтезатора AD9852.

Цей режим можна також обирати і при встановленні режиму в контрольному регістрі. Фазовий акумулятор, який відповідає за генерацію вихідної частоти, представлений 48-бітним значенням, як і частотні регістри Frequency Tuning Word 1, і мають нульове значення за замовчуванням. Тому на виході пристрою отримуємо сигнал частотою 0 Гц і нульовою фазою. Для того, щоб згенерувати бажаний сигнал, потрібно налаштувати хоча б деякі регістри. Графік на рис. 6.2 показує зміну стану за замовчуванням (0 Гц) до деякого іншого стану з вихідною частотною f_1 .

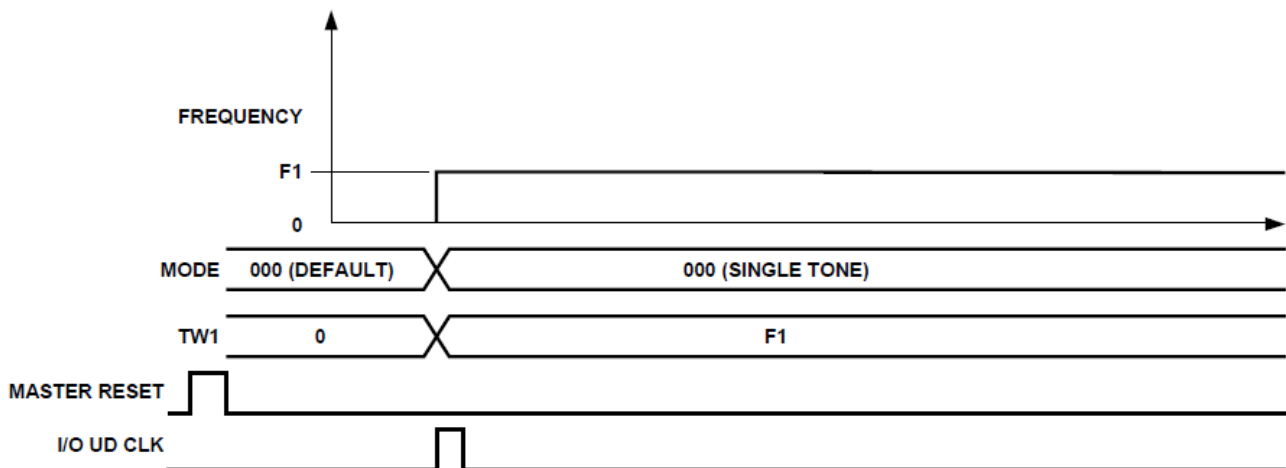


Рис. 6.2. Перехід від стану за замовчуванням до деякого налаштованого.

Значення частотних регістрів визначаються наступним рівнянням:

$$FTW = (\text{Бажана частота} \times 2^N) / \text{Системна частота},$$

де N – розрядність фазового акумулятора (в лабораторній роботі використовуються лише 32 біти), системна і бажана частота виражаються в однакових розмірностях. У лабораторній установці використовується кварцовий генератор на 20 МГц, який задає опорну частоту.

Після отримання десяткового числа, FTW округлюється до цілого і переводиться в двійковий формат – набір послідовності з 32 нулів та одиниць. Отримане число в шістнадцятковому форматі записується в необхідний частотний регістр (область 2 рис. 6.4).

FSK

У випадку, коли обраний режим FSK, вихідна частота DDS є функцією значень, які записані в частотних регістрах (Frequency Tuning Word Register 1 та Frequency Tuning Word Register 2) та логічного рівня піну FSK (див. схему на рис. 6.1). Низький рівень вибирає F1, а високий – F2. Зміни частот є фазонеперервними і співпадають зі змінами рівня на FSK-піні. Графік на рис. 6.3 показує стан DDS при частотній маніпуляції. В лабораторній роботі на

FSK-пін подається послідовність прямокутних імпульсів, які кодують послідовність «101010...» і передають її зі швидкістю, яка визначається програмним забезпеченням (область 5 рис. 6.4).

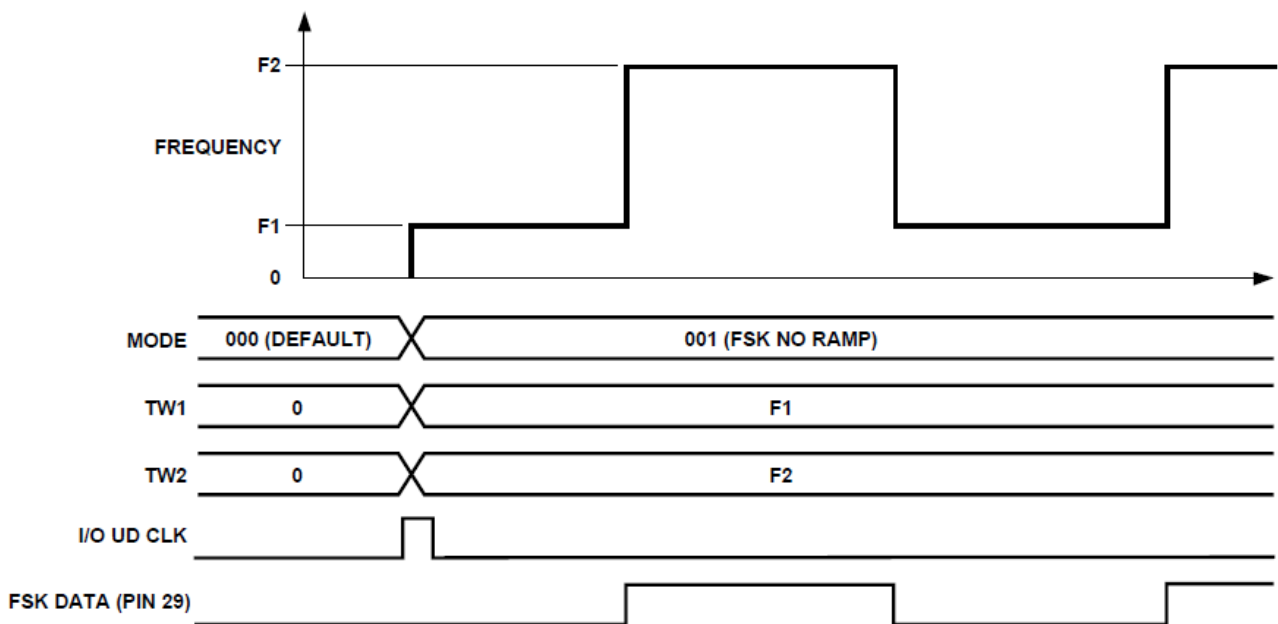


Рис. 6.3. Режим FSK.

Фільтр оберненого SINC

Цей фільтр компенсує вплив ЦАПу на вхідні дані, який полягає у множенні вихідного спектру на функцію $\sin(x)/x$. Це дозволяє розширити смугу пропускання сигналів, які можуть бути опрацьовані на ЦАПі без суттєвих амплітудних спотворень. За замовчуванням фільтр є увімкненим і може бути вимкненим встановленням біту «the bypass inverse sinc» в контрольному регістрі з адресою 20h у високий логічний рівень.

Помножувач опорної частоти.

Це програмований помножувач, що базується на петлі ФАПЧ, який дозволяє використовувати помноження в діапазоні від 4х до 20х. Використання такої можливості дозволяє, наприклад, при опорній частоті (Reference clock in) в 15 МГц генерувати системну частоту (system clock) в 300 МГц. 5 бітів контрольного регістру 1Eh встановлюють значення коефіцієнту множення. Помножувач може бути вимкнений, тоді такти задаватимуться самою опорною частотою.

PLL Range Bit

PLL range bit визначає частотний діапазон роботи помножувача ФАПЧ. Для значень внутрішньої тактової частоти від 200 МГц до 300 МГц, цей біт бажано

встановити в логічний стан «1». Для значень внутрішньої тактової частоти нижче 200 МГц можна встановити його в логічний стан «0». Виконання таких дій оптимізує фазові шуми.

Внутрішнє та зовнішнє оновлення (internal and external update clock)

Значення регістрів, які знаходяться в буферній області (I/O port buffers), можуть бути переписані в DDS або за сигналом ззовні, або внутрішньозгенерованим. Зовнішнє оновлення дозволяє повністю контролювати DDS і зробити оновлення ефективним. Але за замовчування встановлюється внутрішнє оновлення (біт «internal/external update clock» контрольного регістру встановлений в «1»). Щоб увімкнути зовнішнє оновлення, слід цей біт встановити в стан «0».

Таблиця 6.1. Структура регістрів DDS.

Адреса (HEX)	Біт 7	Біт 6	Біт 5	Біт 4	Біт 3	Біт 2	Біт 1	Біт 0	Значення за замовчуванням
04	Frequency Tuning Word 1 <47..40>								0
05	Frequency Tuning Word 1 <39..32>								0
06	Frequency Tuning Word 1 <31..24>								0
07	Frequency Tuning Word 1 <23..16>								0
0A	Frequency Tuning Word 2 <47..40>								0
0B	Frequency Tuning Word 2 <39..32>								0
0C	Frequency Tuning Word 2 <31..24>								0
0D	Frequency Tuning Word 2 <23..16>								0
1E	Don't care	PLL range	Bypass PLL	Ref Mult 4	Ref Mult 3	Ref Mult 2	Ref Mult 1	Ref Mult 0	64
1F	CLR ACC1	CLR ACC2	Triangle	Don't care	Mode 2	Mode 1	Mode 0	Int/Ext update clock	01
20	Don't care	Bypass inv sinc	OSK EN	OSK INT	Don't care	Don't care	LSB first	SDO active	00

Таблиця 6.1 містить інформацію про структуру регістрів та їх адреси, які будуть використовуватися в ході лабораторної роботи. Червоним кольором виділені біти, які заборонено змінювати. Із значень за замовчування видно, що вони завжди повинні бути встановлені в 0. Нижче наведена детальніша інформація про зміст кожного біту.

Опис бітів регістрів контролю, які дозволено змінювати

1E[7] – довільний.

1E[6] – PLL range; вимагається встановлювати його в 1, якщо системна частота $DDS > 200$ МГц.

1E[5] – Bypass PLL; якщо активований, то петля ФАПЧ вимкнена і опорна частота (20 МГц, яка подається на DDS) і буде його системною. Якщо дезактивований, то використовується петля ФАПЧ для помноження опорної частоти на множник, який вказаний в бітах 1E[4..0].

1E[3..0] – множник ФАПЧ; використовується для помноження опорної частоти, якщо увімкнена петля ФАПЧ.

1F[4] – довільний.

1F[3..1] – 3 біти, які описують режим роботи DDS. У роботі використовується лише 1F[1]. Якщо встановлений в 0, то це – single-tone mode (одночастотний режим), якщо в 1 – режим частотної маніпуляції (FSK).

1F[0] – біт контролю оновлення. Якщо встановлений в 1, то DDS самостійно оновлює значення в регістрах з буферних. Якщо встановлений в 0, то оновлення відбуватиметься лише сигналом ззовні.

20[7] – довільний.

20[6] – Inverse sinc filter bypass. Біт виключення з кола фільтру Inv Sinc. Якщо біт встановлений в 1, то вибірки одразу надходять до ЦАП; якщо встановлений в 0, то фільтр увімкнений.

20[3..2] – довільний.

6.2. КОРОТКИЙ ОПИС ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ ДЛЯ КЕРУВАННЯ DDS

Програма представляє собою одновіконну форму, яка містить всі елементи керування (рис. 6.1). Цифрами відмічені логічно структуровані області керування та відображення: 1 – контрольні регістри, які задають режим роботи (описані нижче), 2 – частотні регістри, 3 – панель кнопок оновлення регістрів та їхнього скидання до стандартних налаштувань, 4 – інформаційна панель, яка містить допоміжну інформацію по поточному стану DDS, 5 – панель керування швидкістю FSK (активується лише при відповідному режимі роботи).

Опис кнопок керування

MasterReset – скидає поточні налаштування DDS до стандартних (до значень регістрів, які наведені в останньому стовбці таблиці 6.1). Подає на DDS сигнал Master Reset.

Set – записує значення регістрів, встановлених у полях редагування, до буферної області. Подає на DDS сигнал Write для запису даних в буферну область.

Update – до регістрів DDS записуються дані з буферної області. Подає сигнал External Update.

Клавішею TAB здійснюється переміщення фокусу на наступний елемент керування. Клавішею Enter в полі редагування проводиться запис в буферну область DDS (аналог натискання на кнопку Set).

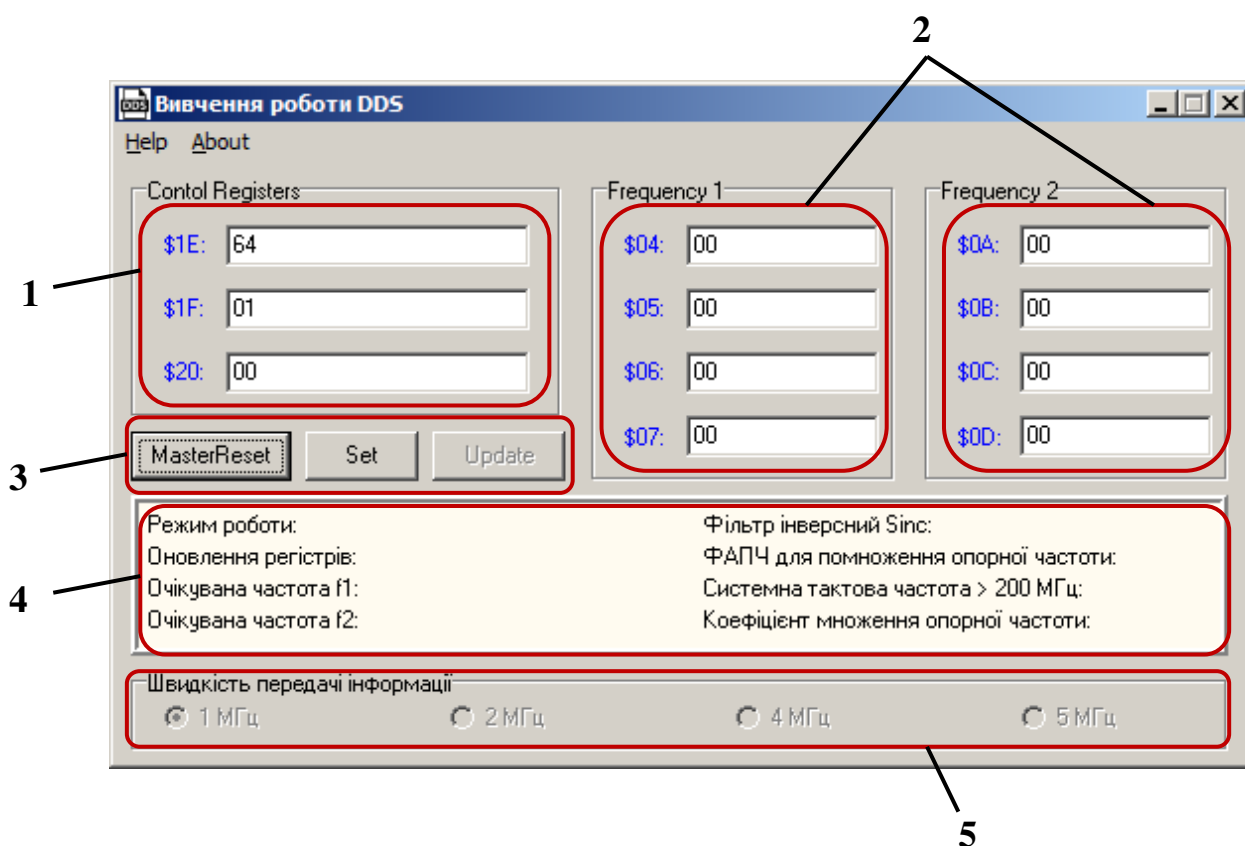


Рис. 6.4. Інтерфейс програми для керування DDS.

7.Завдання лабораторної роботи

1. Ознайомитись із рекомендованою літературою та принципами роботи DDS.

2. Ознайомитись із описом програмного забезпечення, необхідного для керування DDS. Розібратися з конфігураційними регістрами DDS.
3. Дослідити повний спектр генерованих частот залежно від системної частоти.
4. Довести, що утримання напруги до наступної вибірки проявляє властивості ФНЧ.
5. З'ясувати роль ФНЧ у формуванні вихідного спектру.
6. Дослідити режим FSK без розриву фази та спектр такого сигналу.
7. Перевірити, яким чином впливає наявність фільтру інверсного Sinc (зняти АЧХ).

Перелік посилань

1. «Direct Digital Synthesis Tutorial» Osicom Technologies Inc. Technical Staff
2. «A Technical Tutorial on Digital Signal Synthesis» 1999 Analog Devices, Inc.
3. «Sinthesizer products databook 80-24127-1 A 8/97», 1997 QUALCOMM Incorporated.
4. «CMOS 300MHz Complete-DDS AD9852» Analog Devices, 1999.
5. Jerry Horn «The Relationship between Harmonic Distortion and Integral Non-Linearity», ChipCenter 1999
6. Paul Henderiks, «Selecting The Optimal DAC Means Knowing How To Interpret Converter Specifications And Their Effect On System Performance», ELECTRONIC DESIGN January # 26, 1998.
7. M. Hollreiser, L. Fanucci «Techniques for Reducing the Generation of Spurious Frequencies in Direct Digital Synthesizers» Radio Frequency Systems Division, ESTEC.
8. Jouko Vankka «Direct Digital Synthesizers: Theory, Design and Applications» Helsinki University of Technology, Department of Electrical and Communications Engineering, Electronic Circuit Design Laboratory, November 2000
9. Мёрфи, Е. Всё о синтезаторах DDS / Е. Мёрфи, К. Слэттери // Analog Dialogue.– 2004.– 38-08

Короткий тлумачний словник основних англійських термінів та скорочень, що використовуються в галузі цифрового синтезу сигналів.

AC

Alternative Current – Змінний струм

ADC

Analog-to-digital converter. - Аналого-цифровий перетворювач (АЦП).

AGC

Automatic Gain Control – Автоматичне регулювання підсилення (АРП),
(російська аббревіатура - АРУ).

AGND

Analog Ground reference – загальне коло ("аналогова земля"), звичайно
використовується на друкованих платах з цифровими та аналоговими
сигналами для відокремлення зворотних кіл аналогових сигналів від цифрових

ACK

Acknowledgment - підтвердження (як правило приймачем після послідовної передачі
байту даних, здійснюється шляхом виставлення на лінію даних логічної одиниці).

NACK - Negative Acknowledgment – те ж саме, але виставленням на лінію даних
логічного нуля

AF

Audio Frequency - звукова частота

ALU

Arithmetic Logic Unit - арифметично-логічний пристрій

AM

Amplitude Modulation - амплітудна модуляція

ANSI

American National Standard Institute - Американський національний інститут
стандартів

BNC

Baby N-Connector – роз'єм типу "бейбі N" – байонетний коаксіальний роз'єм,
майже сумісний з вітчизняним типу CP50-73, CP50-74, але на відміну від нього
існує для кабелів з хвильовим опором 93 та 75 Ом (останній використовується в

професійних відеомоніторах і не сумісній з вітчизняним – в вітчизняній телевізійній апаратурі застосовується 50-омний роз'єм, хоча використовуються кабелі з хвильовим опором 75 Ом).

BPSK

Biphase Shift Keying – цифрова двофазна модуляція (маніпуляція)

CCIR

International Radio Consultative Committee - Міжнародний консультативний комітет з радіомовлення (МККР)

CMRR

Common-Mode Rejection Ratio - Подавлення синфазного сигналу.

Відношення протифазного підсилення до синфазного в операційних підсилювачах.

CRC

Cyclic Redundancy Check. – контроль передачі даних за допомогою циклічного надзалишкового коду.

CMOS

Complementary Metal-Oxide-System - комплементарна метал-окисел-напівпровідник структура (КМОН), термін відноситься до схемотехніки інтегральних схем, російська аббревіатура - КМОП, не плутати з CMOS - Coated Metal-Oxide-Semiconductor, що відноситься до технології напівпровідників.

CPU

Central Processing Unit - процесор

DAC

Digital-Analog Converter - цифро аналоговий перетворювач (ЦАП)

DC

Direct Current - постійний струм

dB

Decibel – децибел.

dBc

Величина в децибелах по відношенню до 1 періоду несучої частоти, що виражений в одиницях фази, звичайно використовується для вимірювання фазових шумів. Літера "с" – від слова "carrier" – несуча частота.

dBm

Величина в децибелах по відношенню до 1 мВт.

dBmV

Величина в децибелах по відношенню до 1 мВ.

DGND

Digital Ground reference - загальний ланцюг ("цифрова земля"), звичайно використовується на друкованих платах, на яких присутні і цифрові і аналогові сигнали. Дозволяє уникнути перешкод від широкосмугових зворотних струмів, що течуть в мережах живлення цифрових мікросхем.

DDS

Direct Digital Synthesis – Цифровий прямий синтез.
Також Direct Digital Synthesizer – Цифровий синтезатор прямого синтезу.

DC

Direct Current – Постійний струм.

DWORD

Double word – подвійне слово, містить 2 слова, 4 байти, або 32 біти.

ECL

Emitter Coupled Logic - емітерно пов'язана логіка (ЕПЛ), російська аббревіатура - ЭСЛ

EEPROM (E²PROM)

Electrically Erasable Programmable Read Only Memory – Постійна пам'ять, що допускає електричне програмування та електричне стирання на відміну від **EPROM** що допускає лише електричне програмування. (Взагалі в англійських аббревіатурах дуже часто при повторенні тих самих літер підряд застосовується знак возведення в ступінь, наприклад I²L еквівалентне ІЛ, W³ еквівалентне WWW, тощо.)

EMI

Electromagnetic Interference - електромагнітна перешкода

EPROM

Electrically Programmable Read Only Memory – Постійна пам'ять, що допускає електричне програмування.

ESD

Electrostatic Discharge - електростатичний розряд

FET

Field Effect Transistor - польовий транзистор

FF

Flip-Flops - тригер

FIFO

First-In-First-Out - Електронна двопортова пам'ять послідовного типу, побудована за принципом "першим увійшов-першим вийшов". Використання динамічної взаємодії вказівників запису та читання в пам'яті цього типу дозволяє суттєво прискорити передачу даних між пристроями з різною швидкістю.

Fireware

– Трисигнальний послідовний внутрішньосистемний протокол передавання даних, що не набув досить широкого застосування.

FM

Frequency Modulation - частотна модуляція

FSK

Frequency Shift Keying – цифрова двочастотна модуляція (маніпуляція)

GBW

Unity-Gain Bandwidth - Смуга частот одиничного підсилення.

GND

Ground reference - загальне коло ("земля").

GMSK

Gaussian Minimum Shift Keying - гаусівська маніпуляція з мінімальним частотним зеузом

GPS

Global Positioning System - глобальна система позиціонування, що використовує мережу наземних та супутникових станцій.

HF

High Frequency - висока частота

HQ

High Quality - висока якість

EMC

Electromagnetic Compatibility – Електромагнітна сумісність.

EMI

Electromagnetic Interference – Електромагнітні перешкоди.

I&Q

In-phase and Quadrature – складові сигналу при квадратурній модуляції

IC

Integrated Circuit - інтегральна мікросхема

I²C (IIC)

Inter-Integrated Circuits serial interface - Найбільш поширений в світі послідовний двосигнальний внутрішньосистемний інтерфейс, що розроблений фірмою Philips Semiconductors.

IF

Intermediate Frequency – проміжна частота.

IRQ

Interrupt Request - Запит на переривання, як правило, електричний сигнал від якогось обладнання, що сповіщає процесору про необхідність здійснити якісь дії з цим обладнанням.

ISA

Industry Standard Architecture - 8 або 16-розрядна шина розширення комп'ютерів IBM PC (на превеликий жаль майже вийшла із застосування окрім індустріальних комп'ютерів).

ISO

International Organization for Standardization - Міжнародна організація з стандартизації

Kbs

kilobits per second – швидкість передачі даних в кілобитах за секунду.

KBs

kilobytes per second – швидкість передачі даних в кілобайтах за секунду.

LO

Local Oscillator - гетеродин.

LPF

Low Path Filter – Фільтр низької частоти (ФНЧ).

L-type

Г-образний (наприклад фільтр).

LSB

least significant bit - молодший біт (розряд) в байті або більш довгому слові даних.

Mbs

megabits per second – швидкість передачі даних в мегабітах за секунду.

MBs

megabytes per second – швидкість передачі даних в мегабайтах за секунду.

Microware

Трисигнальний послідовний внутрішньосистемний протокол передавання даних, що на відміну від SPI дозволяє пакетне передавання даних, більш поширений в США.

MOS

Metal Oxide Semiconductor - структура метал-окисел-напівпровідник (МОН), російська аббревіатура - МОП.

MPO

Maximum Power Output - максимальна вихідна потужність.

MPU

Microprocessor Unit - мікропроцесор

MSB

Most significant bit - старший біт (розряд) в байті або більш довгому слові даних, див. також **LSB**

NACK

Див. **ACK**

PCB

Printed Circuit Board - друкована плата, термін використовується як для чистої плати, так і для плати із встановленими компонентами.

PCM

Pulse Code Modulation - імпульсно-кодова модуляція (ІКМ)

PECL

Positive (інколи Pseudo) Emitter Coupled Logic – тип цифрових логічних мікросхем, що є модифікацією широко відомого ECL і відрізняється від нього позитивною напругою живлення (звичайно +5 В). Високочастотні кварцеві генератори, що застосовуються для тактування цифрових синтезаторів частоти звичайно відносяться до цього типу.

PGA

Programmable-Gain Amplifier – підсилювач з коефіцієнтом підсилення, що програмується (також **Pin Grid Array** – тип корпусу інтегральних мікросхем з багаторядним розташуванням вертикальних виводів)

PLCC

Plastic Leaded Chip Carrier - найбільш поширений сьогодні в світі тип корпусу інтегральних мікросхем, що призначений для встановлення в панельки і містить з чотирьох боків пружні виводи.

PLL

Phase Locked Loop - Фазове автопідстроювання частоти (ФАПЧ).

Pn or NEP

Noise Equivalent Power - шумовий еквівалент потужності.

POR

Power On Reset - Встановлення основних ресурсів системи в первісний стан при включенні напруги живлення. Як правило в наш час здійснюється спеціалізованими мікросхемами, що слідкують за станом ліній живлення.

ppm

part per million - одна мільйонна частинка (інколи помилково ототожнюється із проміле), одиниця, що звичайно використовується для опису нестабільностей, та інших малих величин.

PWM

Pulse Width Modulation - широтно-імпульсна модуляція (ШІМ), вид модуляції, в якому інформація передається за допомогою зміни скважності при постійній частоті

QM

Quadrature Modulation – квадратурна модуляція – вид модуляції, що ґрунтується на модуляції (звичайно амплітудній чи фазовій) двома різними сигналами I (In-phase) та Q (Quadrature) двох ортогональних піднесучих функцій (наприклад, Sin і Cos) та одночасному передаванні їх суми. На приймальному кінці ці два сигнали можна легко розділити, використовуючи властивості ортогональності піднесучих.

QPSK

Quadri-Phase-Shift-Keying –чотирифазна цифрова модуляція

RAM

Random Access Memory – оперативна пам'ять (ОЗП).

RF

Radio frequency - частота радіодіапазону.

RFI

Radio Frequency Interference - радіоперешкода

RMS

Root Mean Square - середньоквадратичне діюче значення (напруги)

ROM

Read Only Memory – постійна (довготривала) пам'ять, в наш час термін відноситься до мікросхем пам'яті, що зберігають інформацію при відсутності живлення, в тому числі RAM із вбудованими елементами живлення.

RSSI

Received Signal Strength Indicator – Індикатор рівня вхідного сигналу.

RT

Response Time - час відгуку.

Rx

Receiver - приймач

SAW

Surface Acoustic Wave – поверхнева акустична хвиля – ПАХ, російська аббревіатура - ПАВ.

SClk, SC

Serial Clock- тактові імпульси при передачі інформації за послідовним синхронним протоколом.

Sdata, SD

Serial Data - послідовні дані, також лінія по якій передається інформація за послідовним синхронним протоколом.

SFDR

Spurious-Free Dynamic Range – динамічний діапазон

SMD

Surface Mounted Device - електронний компонент для поверхневого монтування (SMT).

SMT

Surface Mounted Technology - технологія поверхневого монтажу, коли

компоненти без виводів монтуються на друковану плату без свердлування отворів.

SNR

Signal-to-Noise Ratio – відношення сигнал-шум

SPI

Serial Peripheral Interface Protocol - протокол послідовного периферійного інтерфейсу – найвідоміший і найбільш використовуваний в світі трисигнальний внутрішньосистемний послідовний синхронний протокол .

SR

Slew Rate – Швидкість зростання вихідного сигналу.

SSB

Single Sideband – одна бокова смуга, також технологія передавання сигналів з видаленням однієї бокової смуги

SSOP

Shrink Small Outline Package - вузький корпус інтегральних мікросхем для поверхневого монтування із зменшеною відстанню між виводами (звичайно – $0,6 \div 0,5$ мм).

SWR

Standing Wave Level - коефіцієнт стоячої хвилі (КСХ), російська аббревіатура - КСВ.

THD+N

Total Harmonic Distortion plus Noise - загальний коефіцієнт гармонічних спотворень та шуму.

TSOP

Thin Small Outline Package - тонкий корпус інтегральних мікросхем для поверхневого монтування із зменшеною відстанню між виводами (звичайно – $0,65 \div 0,5$ мм).

TTL

Transistor-Transistor Logic - транзисторно-транзисторна логіка (ТТЛ).

Tx

Transmitter - передавач

UHF

Ultra High Frequency - надвисока частота (НВЧ).

USB

Universal Serial Bus – послідовна 4-провідна шина для конвеєрно - розгалуженого підключення периферійних пристроїв до персонального комп'ютера.

VCO

Voltage Control Oscillator – генератор, що перестроюється напругою (ГПН).

VHF

Very High Frequency - дуже висока частота (ДВЧ)

VSWR

Voltage Standing-Wave Ratio - коефіцієнт стоячої хвилі по напрузі (КСХН), російська аббревіатура - КСВН